

TA 416

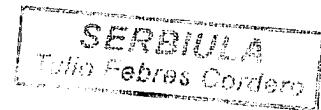
B47

Diseño e implementación de un prototipo de un sistema de adquisición de  
datos e instrumentación para el laboratorio de instrumentación industrial de la  
Universidad Francisco de Paula Santander

[www.bdigital.ula.ve](http://www.bdigital.ula.ve)

Por

José Ricardo Bermúdez Santaella



Trabajo de grado presentado como requisito final para optar al título de  
Magíster Scientiae en Automatización e Instrumentación.  
Universidad de Los Andes  
Octubre 2006

Diseño e implementación de un prototipo de un sistema de adquisición de datos e instrumentación para el laboratorio de instrumentación industrial de la Universidad Francisco de Paula Santander

Por

José Ricardo Bermúdez Santaella

**www.bdigital.ula.ve**

Trabajo de grado presentado como requisito final para optar al título de  
Magíster Scientiae en Automatización e Instrumentación.  
Universidad de Los Andes

Octubre 2006

Tutor: MEE. Jaime Ramírez.

Atribución - No Comercial - Compartir Igual 3.0 Venezuela  
(CC BY - NC - SA 3.0 VE )

## **RESUMEN**

**En este trabajo se plantea la metodología para la aplicación de la tecnología FPAA en los módulos de acondicionamiento de señal, utilizado en los procesos industriales.**

**Al tener el conocimiento de la metodología, se procede a implementar y generar un prototipo que reúna las características más importantes en el proceso de adquisición de datos, con el fin de obtener un módulo robusto, eficiente, práctico y económico.**

**El prototipo realizado aporta herramientas que facilitan el proceso de aprendizaje y fortalecen la investigación en esta área, a través de un laboratorio de instrumentación industrial, donde se quieren medir variables físicas como: temperatura, nivel, presión, flujo u otras variables físicas.**

**El prototipo está compuesto de las siguientes etapas:**

- **Etapa sensórica.**
- **Etapa de acondicionamiento de señal.**
- **Etapa de adquisición de datos.**
- **Etapa de monitoreo.**

**En los diversos capítulos se analizan las diferentes etapas y se hace énfasis en la utilización de la nueva tecnología FPAA.**

## **CONTENIDO**

	<b>Pag</b>
<b>Capítulo I</b>	15
<b>Introducción</b>	15
<b>1.1 Planteamiento del problema</b>	16
<b>1.2 Justificación</b>	16
<b>1.3 Objetivos</b>	19
<b>1.3.1 Objetivo general</b>	19
<b>1.3.2 Objetivos específicos</b>	21
<b>1.4 Antecedentes</b>	22
<b>1.4.1 Sensores</b>	22
<b>1.4.2 Tecnología FPAA</b>	22
<b>1.4.3 Interfaz de comunicaciones</b>	24
<b>1.4.4 Sistema de adquisición de datos</b>	25
<b>1.5 Alcances, limitaciones y delimitaciones del proyecto</b>	28
<b>1.5.1 Alcances</b>	28
<b>1.5.2 Limitaciones</b>	29
<b>1.5.3 Delimitaciones</b>	29
<b>Capítulo II</b>	30
<b>Sensores</b>	30
<b>2.1 Detectores resistivos de temperatura (RTD)</b>	30
<b>2.1.1 Conexión de la Pt100</b>	32
<b>2.1.2 Etapas para el Acondicionamiento de señal</b>	37

2.2 Termopares	37
2.2.1 Funcionamiento de los Termopares	38
2.2.2 Compensación del termopar	39
2.2.3 Linealización de un termopar	40
2.2.4 Etapas para el Acondicionamiento de señal	41
2.4 Transformador diferencial (LVDT)	41
2.4.1 Etapas de acondicionamiento de señal	45
2.5 Celda de carga	45
2.5.1 Etapas de acondicionamiento de señal	48
Capítulo III	49
Acondicionadores de señal	49
3.1 Tecnología FPAA	49
3.1.1 Introducción	49
3.1.2 Circuitos análogos programables	50
3.1.3 Terminología	51
3.1.4 Evolución de los FPAAAs	52
3.1.5 FPAAAs Comerciales	53
3.2 Tecnología FPAAAs Anadigm	58
3.2.1 Arquitectura Anadigm	58
3.2.2 Arquitectura switched-capacitor	63
3.2.3 Circuitos conmutados s/c	65
3.2.4 Elementos CAM Utilizados	67

3.2.5 Software Anadigm	79
<b>Capítulo IV</b>	<b>87</b>
Diseño e implementación del prototipo	87
4.1 Etapa sensado	87
4.2 Etapa de acondicionamiento de señal	88
4.2.1 Acondicionador para el sensor RTD	88
4.2.2 Acondicionador para el Termopar	95
4.2.3 Acondicionador de señal de la celda de carga	102
4.2.4 Acondicionador de señal de sensor LVDT	109
4.3 Etapa de adquisición de datos	117
4.3.1 Sistemas de programación programables	118
4.4 Aspecto técnico del prototipo	122
4.4.1 Sensores	122
4.4.2. Circuito de excitación	122
4.4.3 FPAA Y Memoria SPI	122
4.4.4 Adquisición de datos	123
4.4.5 Alimentación	124
4.4.6 Diseño y montaje del prototipo	124
4.4.7 Programación del prototipo propuesto	127
4.5 Etapa de monitoreo	131
4.5.1 HMI RTD	131
4.5.2 HMI Termocupla	131
4.5.3 HMI Celda de carga	132

4.5.4 HMI LVDT	133
Capítulo V	134
Resultados y comparación del prototipo propuesto, con el módulo de K&H	134
5.1 Estación de comparación K&H	134
5.1.1 Panel para la selección de la aplicación	135
5.1.2 Panel para la selección de los datos de configuración	135
5.1.3 Panel de HMI, Display y graficadores	136
5.1.4 Etapa de acondicionamiento de señal	138
5.2 Pruebas de la estación K&H y el prototipo	139
5.2.1 Estación K&H	139
5.2.2 Prototipo propuesto	140
5.3 Comparación estadística de la estación K&H y el prototipo propuesto	141
5.3.1 RTD	141
5.3.2 Termopar	142
5.3.3 Celda de carga	143
5.3.4 LVDT	144
Conclusiones y Recomendaciones	
Referencias Bibliográficas	

Figura 4.70. Panel de control aplicación de LVDT	133
Figura 4.71. Diagrama de control aplicación de LVDT	133
Figura 5.1. Diagrama funcional del KL-61001	134
Figura 5.2. Panel de selección de las aplicaciones	135
Figura 5.3. Panel de los parámetros de selección	136
Figura 5.4. Panel de control para la aplicación de RTD y Termocupla	136
Figura 5.5 Panel de control para la aplicación de la Celda de carga	136
Figura 5.6 Panel de control para la aplicación del LVDT	137
Figura 5.7. Monitoreo de muestras para la aplicación de RTD y Termocuplas	137
Figura 5.8. Monitoreo de muestras para la aplicación de Celdas de carga	137
Figura 5.9. Monitoreo de muestras para la aplicación del LVDT	137
Figura 5.10. Acondicionadores de señal de termocuplas	138
Figura 5.11. Acondicionadores de señal de RTD	138
Figura 5.12. Acondicionadores de señal de Celdas de carga	139
Figura 5.13. Acondicionadores de señal de LVDT	140
Figura 5.14. Muestras de RTD K&H	141
Figura 5.15. Muestras de RTD Prototipo	141
Figura 5.16 Muestra de Termocupla K&H	142
Figura 5.17 Muestra de Termocupla Prototipo	142
Figura 5.18. Muestra de celda de carga K&H	143
Figura 5.19. Muestra de celda de carga del prototipo	143
Figura 5.20. Muestra de LVDT K&H	144
Figura 5.21. Muestra de LVDT Prototipo	144

Figura 4.46. Filtro pasa-bajos no inversor	115
Figura 4.47. Modulador	115
Figura 4.48. Sumador diferenciador	115
Figura 4.49. Filtro inversor pasa-bajos	116
Figura 4.50. Filtro de salida pasa-bajos	116
Figura 4.51. Ambiente del acondicionamiento de señal para ser simulado	117
Figura 4.52. Simulación del LVDT	117
Figura 4.53 Diagrama de bloque de acondicionamiento de señal para sensores	122
Figura 4.54. Circuito de la FPAA y SPI	123
Figura 4.55. Módulo de adquisición de datos	123
Figura 4.56. Circuito de alimentación	124
Figura 4.57. Cara de componentes	125
Figura 4.58. Cara de soldadura	125
Figura 4.59. Diagrama de conexiones	126
Figura 4.60. Prototipo propuesto	126
Figura 4.61. Ventana de write configuration data to selected port	128
Figura 4.62 Ventana de selección de tipo de archivo	129
Figura 4.63. Software de PonyProg2000	129
Figura 4.64. Panel de control RTD	131
Figura 4.65. Diagrama de control RTD	131
Figura 4.66. Panel de control de la aplicación Termocupla	132
Figura 4.67. Diagrama de control de la aplicación Termocupla	132
Figura 4.68. Panel de control aplicación celdas de carga	132
Figura 4.69. Diagrama de control aplicación de celdas de carga	133

Figura 4.22. Comparador de una termopar	100
Figura 4.23. Muestreo para un acondicionador de termopar	101
Figura 4.24. Filtro de salida pasa-bajos	101
Figura 4.25. Ambiente del acondicionamiento de señal para ser simulado	102
Figura 4.26. Ventana de simulación del acondicionador de señal de un termopar	102
Figura 4.27. Estructura de un acondicionador de señal de una celda de carga	103
Figura 4.28. Ganancia no inversora	104
Figura 4.29. Conjunto comparador, ajuste y filtro pasa-bajos	104
Figura 4.30. Filtro no inversor pasa-bajos	104
Figura 4.31. Filtro de salida pasa-bajos	106
Figura 4.32. Característica de una proceso de ganancia	107
Figura 4.33. Amplificador comparador y ajuste de calibración	107
Figura 4.34. Filtro no inversor pasa-bajos	107
Figura 4.35. Filtrado en la salida pasa-bajos	108
Figura 4.36. Ambiente del acondicionamiento de señal para ser simulado	108
Figura 4.37. Simulación de la celda de carga	109
Figura 4.38. Estructura de un acondicionador de señal de un LVDT	110
Figura 4.39. Generador de señal senoidal	111
Figura 4.40. Filtro pasa-bajos	111
Figura 4.41. Modulador	112
Figura 4.42. Sumador diferenciador y compensador	113
Figura 4.43. Filtro inversor pasa-bajos	113
Figura 4.44. Filtro de salida pasa-bajos	114
Figura 4.45. Generador senoidal	114

Figura 3.46. Características del Chip	86
Figura 3.47 Preferencias generales de los FPAAs	86
Figura 4.1 Etapas del prototipo	87
Figura 4.2 Puente wheastone de tres hilos	88
Figura 4.3 Acondicionamiento de señal para un RTD	90
Figura 4.4 Filtro de entrada pasa-bajos	91
Figura 4.5 Amplificador de Ganancia	91
Figura 4.6 Retenedor	91
Figura 4.7. Filtro de salida pasa-bajos	92
Figura 4.8. Características del filtro de entrada pasa-bajos	92
Figura 4.9. Características del proceso de ganancia	93
Figura 4.10. Característica del muestreo	93
Figura 4.11. Características de filtro de salida pasa-bajos	93
Figura 4.12. Ambiente del acondicionamiento de señal para ser simulado	94
Figura 4.13. Ventana de simulación del acondicionador de señal de un RTD	94
Figura 4.14. Etapas de acondicionamiento de señal de un sensor Termopar	96
Figura 4.15. Chopper y Filtro pasa-bajos	96
Figura 4.16. Ganancia inversa	97
Figura 4.17. Comparador y ajuste de compensación de temperatura	97
Figura 4.18. Retenedor	99
Figura 4.19. Filtro de salida pasa-bajos	99
Figura 4.20. Característica de Chopper y Filtro de entrada pasa-bajos	100
Figura 4.21. Característica del inversor de ganancia	100

Figura 3.26. Salida en Voltaje	77
Figura 3.27. Bypass de la celda de salida	77
Figura 3.28. Salida digital de la celda de salida	77
Figura 3.29. Entrada en la celda de entrada	77
Figura 3.30. Salida en la celda de entrada.	78
Figura 3.31. Salida diferencial y simple de la celda de entrada.	78
Figura 3.32. Salida digital de la celda de salida.	78
Figura 3.33. Interfaz de Anadigm.	79
Figura 3.34. Menú de comandos.	80
Figura 3.35. Barra de herramientas principal	80
Figura 3.36. Menú EDIT	81
Figura 3.37. Selección del CAM	81
Figura 3.38. Propiedades de los CAM	82
Figure 3.39. Conexión de los CAM	82
Figure 3.40. Muestra de unión de CAMs	82
Figura 3.41. Generador de funciones	83
Figura 3.42 Circuito de prueba	83
Figura 3.43. Valores de inicialización de la simulación	84
Figura 3.44. Visualizador de prueba	84
Figura 3.45. Características del reloj del Chip	85

Figura 3.2. Celda de configuración I/O	59
Figura 3.3. Esquema de multiplexación de entrada y salida	60
Figura 3.4. Celda de salida	61
Figura 3.5. Bloque analógico configurable	62
Figura 3.6. Diagrama del voltaje de referencia	62
Figura 3.7. Reloj del sistema	62
Figura 3.8. Organización esquemática de un banco de condensadores	63
Figura 3.9. Switch CMOS	64
Figura 3.10. Circuito básico s/c	64
Figura 3.11. Circuito no inversor integrador	65
Figura 3.12. Fases y conmutación de los interruptores	65
Figura 3.13. Integrador inversor	66
Figura 3.14. Configuraciones de s/c	67
Figura 3.15. Módulo de Ganancia	68
Figura 3.16. Circuito interno del CAM de amplificación	69
Figura 3.17. Módulo sumador	70
Figura 3.18. Circuito interno del CAM sumador	71
Figura 3.19. Módulo de Compensación	72
Figura 3.20. Módulo sumador	72
Figura 3.21. Circuito del CAM Retenedor	73
Figura 3.22. Módulo de Filtrado pasa-bajos	73
Figura 3.23. Circuito interno del CAM de Filtrado	74
Figura 3.24. Módulo de Generación	75
Figura 3.25. Circuito interno del CAM Generador	76

## **FIGURAS**

	Pag
Figura 1.1. Sistema de adquisición de datos	19
Figura 1.2 Laboratorio virtual	21
Figura 2.1 RTD	31
Figura 2.2 Curva temperatura vs resistencia	31
Figura 2.3 Técnica de dos hilos	33
Figura 2.4 Técnica de tres hilos	34
Figura 2.5. Puente de <i>Wheatstone</i> y errores por hilos de conexión	35
Figura 2.6. Puente de <i>Wheatstone</i> empleando configuración de tres hilos	35
Figura 2.7. Método de los cuatro hilos	36
Figura 2.8. Configuración de medida basada en el método de los cuatro hilos	36
Figura 2.9. Característica de los termopares más comunes	37
Figura 2.10. Termopar tipo J, sometido a una fuente de energía	38
Figura 2.11. Configuración del termopar con unión fría	39
Figura 2.12 Esquema básico de un LVDT	42
Figura 2.13. Posición física de un LVDT según el cursor	43
Figura 2.14. Características de un LVDT	44
Figura 2.15. Relación entre longitud y resistencia de una galga	46
Figura 2.16. Diagrama interna de un galga extensiométrica	48
Figura 2.17. Diagrama interno de una galga extensiométrica pasiva y activa	48
Figura 3.1 Arquitectura de AN221E04	59

## TABLAS

	Pag
Tabla 2.1. Coeficientes de los polinomios de los termopares	41
Tabla 3.1. Evolución de los FPAAAs	52
Tabla 3.2 FPAAAs comerciales	53
Tabla 3.3 Circuitos FPAAAs de la familia IspPAC	54
Tabla 3.4. Parámetro de ganancia y frecuencia	68
Tabla 3.5 Comutación de suiches	69
Tabla 3.6. Parámetros del Sumador	70
Tabla 3.7. Comutación de suiches para el sumador	71
Tabla 3.8. Polaridad del CAM Compensador	72
Tabla 3.9. Combinación de Suiches de Retención	73
Tabla 3.10. Parámetros del Filtro	73
Tabla 3.11. Comutación de suiches de filtrado	74
Tabla 3.12. Parámetros del Generador	75
Tabla 3.13 Comutación de suiches para el generador	75
Tabla 5.1. Datos de RTD y Termocuplas	139
Tabla 5.2. Datos de la carga de celda	140
Tabla 5.3. Datos del LVDT	140
Tabla 5.4. Datos de RTD y Termocuplas por el prototipo propuesto	140
Tabla 5.5 Datos del prototipo propuesto para la celda de carga	140
Tabla 5.6. Datos del prototipo propuesto para el LVDT	140
Tabla 5.7. Comparación de datos del RTD con los dos sistema de medida	141

**Tabla 5.8. Comparación de datos del termopar con los dos sistemas de medida.** 141

**Tabla 5.9. Comparación de la celda de carga con los dos sistemas de medida.** 143

**Tabla 5.10. Comparación de datos del LVDT con los dos sistemas de medida.** 144

[www.bdigital.ula.ve](http://www.bdigital.ula.ve)

## **CAPITULO I**

### **INTRODUCCIÓN**

El propósito de este proyecto es la elaboración de un prototipo para uso en un laboratorio que se necesita para impulsar la investigación y preparación académica de los programas de estudios existentes en la Universidad Francisco de Paula Santander, en el área de la instrumentación industrial. El prototipo debe aportar una serie de herramientas que faciliten el proceso de aprendizaje y fortalezcan la investigación en esta área. En un laboratorio de instrumentación industrial, donde se quieren medir variables como: temperatura, nivel, presión, flujo u otras variables físicas debe tener varias o todas de las siguientes etapas:

- Etapa sensórica.
- Etapa de acondicionamiento de señal.
- Etapa de adquisición de datos.
- Etapa de monitoreo.

En los diversos capítulos analizaremos las diferentes etapas y se hará énfasis en la utilización de la nueva tecnología FPAA:

En la presentación de la etapa sensórica se recogen algunas experiencias de investigadores que están muy comprometidos en el estudio directo de estos dispositivos [1][2].

La etapa de acondicionamiento de señal se fundamenta en tecnología reciente FPAA, con el objetivo de facilitar y apropiarse de dispositivos que sean más flexibles y prácticos en su aplicación [3][4].

La etapa de adquisición de datos se basa especialmente en los dispositivos microcontroladores de la familia PIC y Motorola, [5][6].

La etapa de monitoreo se realiza utilizando la potente herramienta LabVIEW, proporciona flexibilidad, sencillez y un aprendizaje rápido y conocimiento directo [7].

### **1.1 Planteamiento del problema**

En la actualidad, no existe un laboratorio de Instrumentación industrial en la Universidad Francisco de Paula Santander, los organismos del gobierno nacional a través de mecanismo de acreditación exigen a las entidades de nivel superior que llegan a la excelencia académica por medio de una buena calidad en el producto (estudiantes, profesores) y a su vez da lineamientos para conseguir ese objetivo, donde involucra directamente los laboratorios como herramientas fundamental para ese resultado.

En consecuencia con lo mencionado en el párrafo anterior, se propone montar un laboratorio que reúna las competencias y exigencias para obtener un producto de gran calidad para la academia y que aporte una solución al sector industrial de la región del Norte Santandereana.

El laboratorio consiste en implementar un prototipo que involucre los aspectos que intervienen en un sistema de adquisición de datos, como son:

- Medición del fenómeno físico a través de sensores específicos [1].
- Acondicionamiento de la señal de la salida del sensor, utilizando la tecnología FPAA [3].
- Implementación de la HMI, a través de la herramienta computacional LabVIEW y su interfaz de comunicación serial o adquisición de datos [7].

## 1.2 Justificación

El desarrollo de una efectiva labor académica bajo los parámetros de calidad y eficiencia curricular, depende de varios factores y uno de ellos es sin duda alguna, los laboratorios que soportan el personal estudiantil y docente de cualquier ente educativo de nivel superior, en nuestro caso, la Universidad Francisco de Paula Santander (U.F.P.S).

Según la norma interna de la Universidad Francisco de Paula Santander sobre la utilización del área mínima eficiente y efectiva por aula de laboratorio, establece 3  $m^2$  por alumno, con lo que se estima que para una población de 15 estudiantes por práctica, se necesitan aproximadamente 45  $m^2$  en total por aula de laboratorio. Tal área, además de permitir una distribución de 5 estaciones de 3 alumnos c/u, con todos los equipos necesarios para la práctica, debe brindar el mínimo de comodidad y confort a todos los usuarios, a la vez motivar y humanizar el trabajo del docente, buscando con ello su máximo agrado y compromiso educativo.

El presente proyecto pretende enmarcar dentro del programa de expansión de la planta física de laboratorios de la Facultad de Ingenierías de la UFPS, para los próximos años y conjuntamente, dar cumplimiento a los mínimos requisitos de calidad estipulados en el Decreto 792 de 08 de Mayo del 2001, en cuanto a calidad, en la prestación de servicios por parte de los Laboratorios de la Facultad de Ingenierías de la UFPS a los programas académicos que necesitan de las prestaciones del Departamento de Electricidad y Electrónica de la Universidad Francisco de Paula Santander.

Actualmente, con la reestructuración en los programas académicos de la Universidad Francisco de Paula Santander por el registro calificado de la educación superior emitido por el ICFES (Instituto Colombiano del Fomento de la Educación Superior) y según lo determinado por la Asociación Colombiana de Facultades de Ingeniería (ACOFI) respecto a las áreas de interés que deben tener los programas académicos, y entre las cuales se encuentra vinculada el área de Control, más específicamente la rama de Instrumentación (Mediciones, Industrial y Virtual). El

Departamento de Electricidad y Electrónica que suministra el apoyo a los diversos programas académicos de la UFPS, recomendó a estos programas, la inclusión en los currículos la asignatura del área en mención, (Instrumentación). Con este hecho, se debe conformar en un laboratorio de Instrumentación que soporte los programas académicos comprometidos en esta área (Electrónica, Electromecánica, Sistemas, Producción Industrial y Mecánica).

En el año dos mil (2000) la U. F. P. S, adquirió una estación de trabajo para implementar el Laboratorio de Instrumentación con un costo de Cuarenta y Ocho Millones de Pesos (\$48.000.000) suministrados por la compañía K&H, esta estación satisfará solo el 20% de la necesidad de los programas académicos de la Facultad de Ingeniería, debido a que la cobertura es de tres (3) estudiantes por estación de trabajo y la población estudiantil en ese nivel académico es aproximadamente de cien estudiantes, con el agravante que estas estaciones fueron suministradas por industrias Chinas y su mantenimiento se hace complicado, costoso y de tiempo exagerado para volverlos a adquirir.

La estación de trabajo K&H (KL-620  $\mu$  PA SENCONS Microcomputer Sensing Control equipment)[8], se conforma de diecisiete (17) módulos de acondicionadores de señal (Temperatura, Humedad, Carga de celda, LVDT, Presión, Escala lineal, Fotovoltaico, Ultrasonido, V/F F/V, Velocidad, Luz, Distancia, Magnético, Infrarrojos) y su filosofía se basa en las siguientes características de funcionamiento:

- Estándares industriales para sensores y transductores (0 - 10V, 4 - 20 mA).
- Interfaces RS-232 y PIO para controlar los experimentos por medio de un computador.
- Programas de control que pueden ser escritos y cargados al microprocesador desde un computador a través de una interfaz RS-232.
- Diseños abiertos, ideales para expansión.

Existe la urgencia manifiesta de implementar el laboratorio de instrumentación industrial para suplir el (80%) restante de las necesidades académicas de los diversos planes de estudio de ingeniería, incrementar las estaciones de trabajo, fortalecer la investigación en esta área, cumplir con los requisitos exigidos por el CNA (Consejo Nacional de Acreditación) en lo referente al registro calificado de los programas académicos de la U.F.P.S

Para obtener los propósitos citados anteriormente se utilizará un sistema de desarrollo para Dispositivos Lógicos Análogos Programables en Campo (F.P.A.A), donde se puede tener la flexibilidad de implementar los diversos acondicionadores de señales para estos laboratorios de instrumentación industrial de la Universidad Francisco de Paula Santander y asimismo, es importante incorporar la tecnología electrónica y de programación más moderna, en la realización de los dispositivos de medición y control.

Conjuntamente se utilizará un paquete de dispositivos electrónicos programables, como los microcontroladores (Interfaz de comunicación o adquisición de datos) los cuales se encarguen de las señales de salida de los acondicionadores de señal de los diversos procesos y los conduzcan o interconecten con el sistema de supervisión y monitoreo desarrollados bajo el enfoque de instrumentación virtual, basados en el software LabVIEW, que a su vez conforman una construcción modular, versátil, con una interfaz de operación muy amigable y escalable a aplicaciones industriales.

### **1.3 Objetivos**

#### **1.3.1 Objetivo general**

Diseñar e implementar un prototipo de un sistema de Adquisición de Datos e Instrumentación para el laboratorio de Instrumentación Industrial de la Universidad Francisco de Paula Santander, ver figura 1.1.

- **Área de sensores.**

El área de los sensores aquí utilizados fueron adquiridos por la Universidad Francisco de Paula Santander en el año 1999 para la tal finalidad.

Los sensores que se encuentran en la UFPS, son dispositivos que en estos momentos reúnen las características técnicas apropiadas.

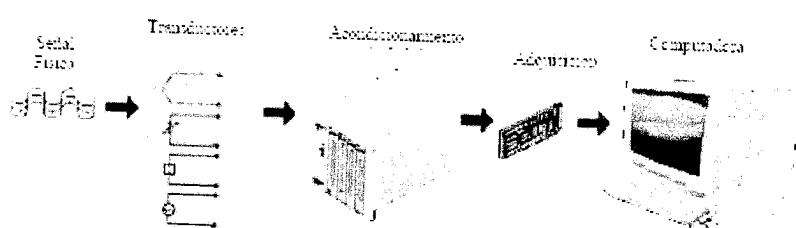


Figura 1.1. Sistema de adquisición de datos, [national instrument]

- **Área de acondicionamiento de señal.**

Los acondicionadores de señal existentes en la UFPS son dispositivos con la técnica tradicional (Módulos didácticos que se componen de integrados analógicos como el amplificador operacional 741, resistencia, condensadores, diodos y transistores de corriente BJT), estos módulos didácticos no tienen la fundamentación realista sobre lo que es un acondicionador de señal para el medio industrial, es decir le falta la componente de eliminación de ruidos que existen en este campo industrial (FMI), también hay un argumento muy convincente en el cambio de estos módulos tradicionales por una tecnología más moderna (FPAAs), es, que en estos momentos el programa académico de Electrónica de la UFPS se trabaja profundamente en el campo de la microelectrónica digital (FPGA) es decir, todo esta girando en torno a este aspecto, como es bien sabido la microelectrónica tiene dos disciplinas muy definidas (Digital, FPGA y Analógica, FPAAs), la idea es empezar a profundizarse en el campo analógico a través de estos dispositivos. Otro aspecto importante es la flexibilidad que tiene este dispositivo (FPAAs), es decir que en un mismo integrado se puede tener varios acondicionadores de señal.

- **Área del HMI e Interfaz de comunicación.**

El HMI está basado en el software LabVIEW, los cuales, conforman una construcción modular, versátil, con una interfaz de operación muy amigable y escalable a aplicaciones industriales.

Los instrumentos virtuales son dispositivos para la medición y generación de señales, que trabajan sobre uno o en varios despliegues de una misma interfaz gráfica, en donde el PC constituye el instrumento virtual destinado a la visualización e interpretación de la información. La interfaz gráfica de usuario permite visualizar el sistema en su conjunto, aplicar comandos y definir tareas, mediante elementos u objetos de programación; asimismo, ofrece un entorno de operación que se encarga de comunicar al usuario con la computadora y ésta con el proceso físico en donde se mide y/o se controla. La arquitectura del sistema se muestra en la figura 1.2.

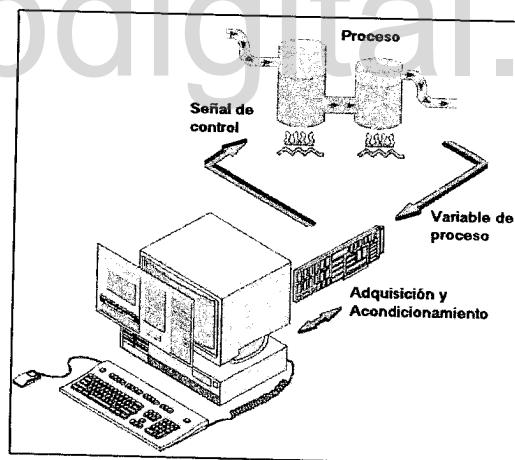


Figura 1.2 Laboratorio virtual, [national, instrument].

### 1.3.2 Objetivos específicos

- Recopilación bibliográfica de la tecnología de los FPAA, LabVIEW y Sensores.
- Diseñar los acondicionadores de señal de los sensores (RTD, Termocuplas, LVDT y Galgas Extensiométricas).

- Implementar los acondicionadores de señal de los sensores (RTD, Termocuplas, LVDT y Galgas Extensiométricas) en los dispositivos de la tecnología FPAA.
- Monitorear la señal acondicionada a través de la herramienta LabVIEW.

## 1.4 Antecedentes

A continuación se procede a presentar resúmenes de artículos, tesis, tutoriales y manuales que están comprometidos en el área de los sensores, acondicionamiento de señal y tecnología FPAA sobre los acondicionamientos de señal.

### 1.4.1 Sensores.

Ramón Pallas Areny, Libro, “Sensores y Acondicionadores de Señal”, Proporciona los fundamentos desde el punto académico y científicos de los sensores y acondicionadores de señal en general.

F. J. Ferrero, Guías de estudio, “Sensores y acondicionadores de señal”, presenta conceptos y fundamentos en los referentes a los sensores y acondicionadores de señal en general.

Silica company, manual “Sensores – Acondicionadores – Procesadores”, define y establece fundamentos, criterios y conceptos fundamentales en los referentes a estos temas.

M. Kouider, M. Nadi and D. Kourtiche, manual, “Sensors Auto-calibration Method - Using Programmable Interface Circuit Front-end”, proporciona métodos para la autocalibración standar para los diversos sensores industriales.

Jhon P. Bentley, Libro, “Sistemas de Medición principios y aplicaciones ”, Proporciona la concesión de la instrumentación como una disciplina coherente y sistemática, dando los fundamentos y principios de los sensores y acondicionadores de señal orientados a la industrial.

#### **1.4.2 Tecnología FPAA.**

Christian Birk, tesis de maestría “ Application and evaluation of FPAA”, En ella se describe los diseños de filtros utilizando la tecnología FPAA, Analiza las técnicas de diseño en teoría y práctica, también establece criterios de error que generan las FPAA, el error verdadero del tiempo discreto en la implementación del filtro y realizó las medidas correspondiente al filtro en análisis.

D. Anderson, C. Birk, O. A. Palusinski, M. Spitz, K. Reiss, artículo “Interconnect effects on performance of Field Programmable Analog Array”, describe un método para diseñar la interconexión de las capas con los bancos de capacitores minizando las perdidas parásitas.

Tao Wu, artículo, “En el artículo Simulation and Design of Mixed-signal Circuits for prototyping using Field Programmable Analog Array Technology”, indica un procedimiento para el desarrollo el software que permite implementar el FPAA.

Jordí Mayné, [Manual de sensores, acondicionadores y procesadores de señal, realizado por la compañía SILICA] Presentan las gamas de sensores, acondicionadores de señal en forma profunda y también se profundiza en la adquisición de señal.

M. Kouider, M. Nadi and D. Kourtiche, artículo “Sensors Auto-calibration Method - Using Programmable Interface Circuit Front-end”, este escrito presenta los acondicionadores de señal usando diversos sensores, su respectivas pruebas y se observa su respectiva sensibilidad.

Olgierd A. Palusinski, David anderson\*, Doug Gettman, Cezary Marcjan\*, Howard Anderson, articulo “Motorola Field Programmable Analog Arrays in Simulation, Control, and Circuit Design Laboratories”, describe la implementación de los sistemas Motorola de la familia FPAAs.

Stuart J Flockton and Kevin Sheehan, escrito “Intrinsic Circuit Evolution Using Programmable Analogue Arrays”, plantea una discusión de los dispositivos análogos y

plantea la evolución de algoritmos que permite compenetrarse con las características de entrada y salida del dispositivo.

Monte Mar, Bert Sullam, and Eric Blom, artículo “An Architecture for a Programmable Mixed-Signal Device”, establece una arquitectura híbrida FPSOC.

V. Ila, J. Batlle, X. Cufí, R. Garcia, artículo “recent trends in fpaa devices”, introduce en las aplicaciones y técnicas que encierran las FPAA.

Cornel Reiser, Lech Znamirovski, Olgierd A. Palusinski, Sarma B.K.Vrudhula, Daler Rakhmatov, artículo “dynamically reconfigurable analog/digital hardware - implementation using fpga and fpaa technologies”, presenta la reconfiguración dinámica de los circuitos híbridos utilizando la tecnología FPAA.

Ricardo Salem Zebulum, Cristina Costa Santini, Helio Takahiro Sinohara, artículo “A Reconfigurable Platform for the Automatic Synthesis of Analog Circuits”, Trabajaron en los procedimientos de las reconfiguraciones de los FPAA y sus aplicaciones.

Ricardo S. Zebulum, Adrian Stoica y Didier Keymeulen, artículo “The Design Process of an Evolutionary Oriented Reconfigurable Architecture”, describe el diseño de los dispositivos reconfigurables y orienta a la implementación en el campo del hardware.

R. Timothy Edwards, Kim Strohbehn, Steven E. Jaskulek, and Richard Katz, artículo, “Analog Module Architecture for Space-Qualified Field-ProgrammableMixed-Signal Arrays”,describe una arquitectura propia de los fabricante referente a los FPAA.

Vincent C. Gaudet and P. Glenn Gulak, artículo, “Implementation Issues for High-Bandwidth Field-Programmable Analog Arrays”, describe un tutorial sobre la introducción o conceptos básicos de la tecnología FPAA.

Sree Ganesan and Ranga Vemuri, artículo, “Technology Mapping and Retargeting for Field-Programmable Analog Arrays”, describe una arquitectura propicia en el campo de la tecnología FPAA.

#### 1.4.3 Interfaz de comunicación.

Edison Duque C, manual, “Curso Avanzado de Microcontroladores PIC”, Este curso da una idea general sobre el uso, utilización, conocimiento y manipulación de la familia PIC.

Jorge Andrés Baena, manual, “utilización de codewarrior v.2.0 con simulación de pemicro Para proyectos en lenguaje c para microcontroladores”, Este tutorial es una introducción rápida para crear proyectos en lenguaje C, utilizando el compilador Metrowerks CodeWarrior v2.0 y el simulador ICS de PEMICRO. Para el tutorial se desarrolló un programa en C para el microcontrolador HC08GP32, el código fuente esta disponible en <http://microe.udea.edu.co/cursos/ieo-944/files/demoHC08>.

Jordie Maide, manual, “Guia didáctica del 68HC08”, se refiere a los diversas características del microcontrolador de la familia Motorola.

#### 1.4.4 Sistemas de adquisición de datos.

Juan Cordonnier, Nicolás Falcone, en su trabajo “La Energía Eólica y los Sistemas de Adquisición” trata Los aerogeneradores son los encargados de transformar la energía eólica en energía eléctrica y muchas veces resulta de vital importancia realizar ensayos sobre dichos motores, ya sea para conocer su potencia, temperatura de bobinados, velocidad del rotor, etc.. Se desarrolló un sistema que realiza dicha tarea de sensado en forma totalmente automática y que ofrece control sobre el motor ..... Utiliza un sistema de adquisición portable encargado de sensar, digitalizar y almacenar los parámetros mencionados en un ordenador utilizando el puerto paralelo.

Marcos J Gómez, en su artículo “sistema portátil para realizar mediciones fotométricas basados en instrumentación virtual” presenta un diseño portátil que permite realizar mediciones fotométricas en las vías rápidas, es decir con el fin de obtener los niveles de iluminación presentes en dichas áreas.

Tutorial de acondicionamiento de señal, por la national instrument, presentan el proceso general de la adquisición de datos desde el sensor hasta el PC.

Rafael Chacón Rúgeles, en su artículo “la instrumentación virtual en la enseñanza de la ingeniería electrónica” Este trabajo se inicia con una revisión del concepto de instrumentación virtual, de su historia, de las características de los instrumentos virtuales y de la programación gráfica. Luego se analizan las implicaciones didácticas que tiene la incorporación de la instrumentación virtual en la enseñanza de la ingeniería y se hace referencia a algunas experiencias, tanto en el ámbito internacional como nacional. Posteriormente, se presenta la situación de la instrumentación virtual en la Carrera de Ingeniería Electrónica de la UNET.

J. Galván, D. Ramírez, J. Torrez, en su escrito “sistema de control para el patrón nacional de par torsional” muestra la automatización del patrón y los beneficios al contar con un sistema basado en control automático.

César San Martín, Flavio Torres, en su artículo “laboratorios virtuales. uso de Internet para el trabajo colaborativo” En este trabajo se muestran aspectos generales del desarrollo de laboratorios virtuales y las experiencias realizadas por el equipo de la Universidad de La Frontera, en particular, el uso de Internet 2 para el control y monitoreo remoto de un proceso particular, desde lugares distantes y su proyección hacia otros procesos productivos.

Elvira Gaytán Gallardo, Fco. Javier Ramírez Jiménez, Víctor M. Tovar Muñoz, el artículo “Sistema de medición de los parámetros de operación para máquinas de rayos x”, El Laboratorio de Detectores de Radiación del Departamento de Electrónica y el Departamento de Automatización e Instrumentación han desarrollado un sistema para realizar medición de los parámetros para operación de las máquinas de rayos.

Juan José Gude, Iratxe Riera, Julián Hernández, Evaristo Kahoraho, en su escrito “prácticas de instrumentación electrónica: un enfoque desde la didáctica hasta la aplicación industrial”, En el presente artículo se va a tratar únicamente el aspecto práctico de la

asignatura, indicando una breve introducción de la parte teórica. Se verá la importancia de las prácticas en la formación de los futuros Ingenieros Técnicos para su comprensión de la parte teórica, para establecer un primer contacto con el mundo industrial y para poder continuar sus estudios de Ingeniería Superior en Automática y Electrónica.

Neira Domínguez, Carmen de Haro, Roset Mas, en su artículo “Desarrollo de instrumentación virtual para biosensores amperimétricos”, se describen aplicaciones usando transductores electroquímicos del tipo amperimétricos con los que se trabaja con un potencial fijo respecto al electrodo de referencia y se mide la corriente generada por la oxidación o la reducción de la superficie del electrodo de trabajo por la enzima.

Hugo Valderrama, Luís Guasch, Lluís Massagués, en su artículo “Adquisición de Datos e Instrumentación para un Laboratorio Docente de Máquinas Eléctricas”, realiza un estudio comparativo de ambos sistemas realizando medidas en un motor de inducción lineal. En este trabajo se exponen los resultados y las conclusiones de ese estudio comparativo en función de la calidad de las medidas, el tiempo de aprendizaje, y el coste económico de ambos sistemas.

Francesc Rocadenbosch, Michaël Sicard, “subsistemas electrónicos de control y adquisición de muy baja intensidad para el sondeo radar láser de la contaminación atmosférica “sondeo de estos componentes es de gran importancia para monitorizar la calidad del aire y contaminación. El subsistema de recepción consta de un telescopio que recoge esta radiación, de un cabezal optoelectrónico que la detecta y de un sistema de adquisición de datos que procesa la señal detectada. En este sistema, debido al bajísimo nivel de la radiación láser (eco radar) captada por el telescopio, el detector optoelectrónico está basado en un PMT (tubo fotomultiplicador) y un contador fotónico.

D. Hoyos, N. Salvo, un artículo “laboratorio virtual” para instrumentación en energías renovables”, El presente trabajo tiene por objeto presentar “un laboratorio virtual” que permite realizar toma de datos sobre distintas variables físicas, controlarlas, analizarlas y visualizarlas en un entorno de tres dimensiones, guardarlas en un archivo, procesar la

información, realizar la simulación de la misma a tiempo real y también se puede ejecutar este proceso en distintas maquinas a través de una red TCP/IP.

Miguel Mejías Moreno, el artículo, “diseño y desarrollo de instrumentación para caracterización hidráulica de formaciones de baja permeabilidad”, Se presenta un resumen de los objetivos y características de la instrumentación que compone los diferentes sistemas que integran la Unidad Móvil, así como un análisis de las circunstancias y problemática asociada a la valoración y adquisición de instrumentación disponible comercialmente y diversos aspectos relacionados con la construcción de instrumentación diseñada específicamente para formar parte de la Unidad.

Chaparro Sánchez Ricardo, Dorantes Torres, artículo “red de control para la automatización de aulas y laboratorios escolares”, En este trabajo se presenta el diseño y construcción de una red de control distribuido con módulos de creación propia que están actualmente probados y funcionando de manera individual en pruebas de laboratorios.

Chia Nan Chang, Hui Kang Teng, Jun Yuan Chen, y Huang Jen Chiu, artículo “Computerized Conducted EMI Filter Design System Using LabVIEW and Its Application”, Este sistema computarizado tiene grandes ventajas y también es de alta exactitud en lo referente a los sistemas de ruido EMI, determina las frecuencias de corte con gran rapidez. Esta herramienta es muy fácil de operar y se conforma de un diagrama de bloques que proporciona un código para ser utilizado en un sistema virtual.

## **1.5 Alcances, limitaciones y delimitaciones del proyecto**

### **1.5.1 Alcances**

- Obtener un prototipo que sirva como soporte para aumentar en el futuro, las estaciones de trabajo requeridas en el laboratorio de instrumentación, con el fin de satisfacer la demanda de estudiantes de los diversos programas académicos, de la Facultad de Ingenierías de la Universidad Francisco de Paula Santander.

- Implementar los acondicionadores de señal para sensores (RTD, Termocuplas, LVDT y Galgas Extensiométricas) en un FPAA e interactuar con la herramienta LabVIEW, para su monitoreo.
- Reducir costos en el subsistema de acondicionamiento de señal, respecto a los existente en el mercado nacional e internacional.

### **1.5.2 Limitaciones**

La tecnología FPAA es un sistema novedoso en nuestro medio, luego se identifica como limitación tecnológica, el conocimiento del manejo del sistema de desarrollo de los Arreglos Analógicos Programables en Campo (FPAA) y para trabajar con esta herramienta analoga, se necesita adquirir en su totalidad y a su vez se es indispensable realizar la fundamentación correspondiente a esta herramienta.

### **1.5.3 Delimitaciones**

El proyecto se desarrollará e implementará en los laboratorios de la Facultad de Ingeniería de la Universidad Francisco de Paula Santander, específicamente en el, Departamento de Electricidad y Electrónica.

## CAPITULO II

### SENSORES

El sensor es el primer eslabón del sistema de medida [9]. Con el sensor se pretende obtener una indicación objetiva acerca de una magnitud física. Para ello, el sensor debe ser un elemento sensible a la magnitud deseada (entrada) y proporcionar una salida útil, casi siempre eléctrica. Se suele reservar el término transductor para designar al elemento que convierte un tipo de energía en otra, muchas veces de manera reversible. El sensor es un tipo especial de transductor que presenta la particularidad de responder a un estímulo de características físicas determinadas. A veces se distingue entre sensores que dan una salida variable proporcional al estímulo (captadores) y otros cuyas salidas pasan de cero al nivel máximo cuando la entrada supera un determinado umbral (detectores). Sin embargo, salvo exigencia de rigor, en lo sucesivo se empleará indistintamente los términos sensor, transductor, captador y detector.

A continuación se explicará en forma sencilla, concreta y específica los principios básicos de los sensores que se utilizaran en este proyecto, como los RTD, Termopares, Celda de Carga, LVDT y se presentaran sus etapas de acondicionamiento.

#### 2.1 Detectores resistivos de temperatura (RTD)

Estos detectores (ver Figura 2.1, 2.2) son dispositivos sensibles a la temperatura cuya resistencia incrementa con la temperatura. Las RTD son hilos embobinados de metal puro y pueden ser hechas de diferentes metales y diferentes resistencias, pero la RTD más común es la de platino con una resistencia nominal de  $100 \Omega$  a  $0^\circ C$ .

Estas RTD son conocidas por su excelente precisión sobre un amplio rango de temperaturas. Puede ser difícil de medir debido a que tienen una resistencia relativamente baja ( $100 \Omega$ ) que cambia muy poco con la temperatura (menos de  $0.4 \Omega/^{\circ}C$ ).

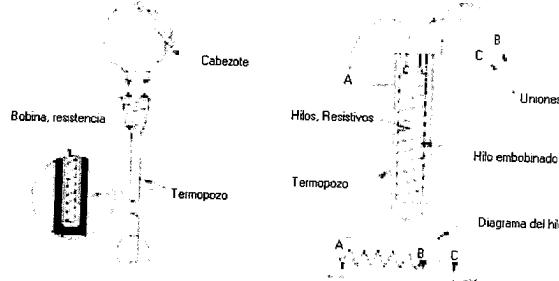


Figura 2.1 RTD

Para medir con exactitud estos pequeños cambios de resistencia se requieren configuraciones especiales que minimicen los errores debidos a la resistencia de los hilos y requieren también de acondicionamiento de señal con fuentes de excitación de corriente altamente precisas, amplificadores de alta ganancia y conectores para las mediciones.

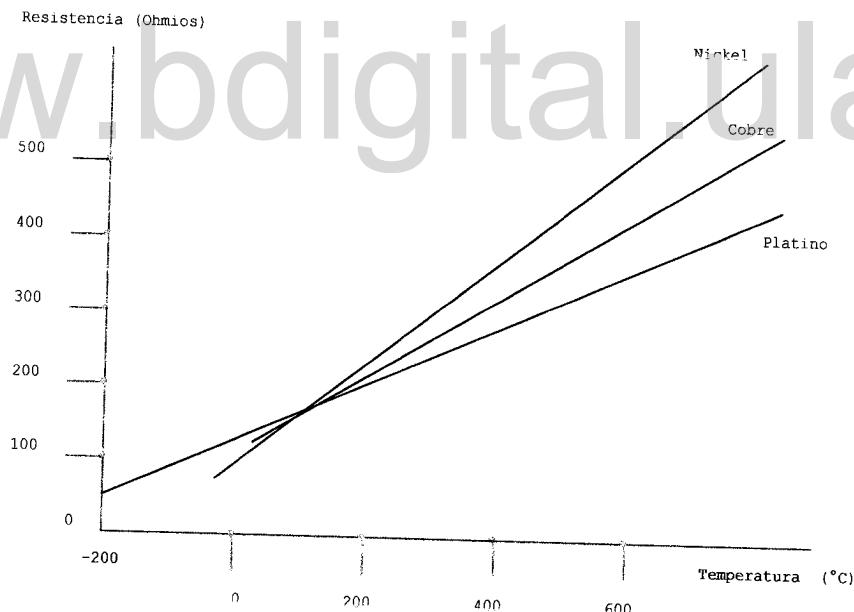


Figura 2.2 Curva Temperatura vs Resistencia

La relación entre la temperatura y resistencia de conductores en el rango de temperatura cerca de 0 °C se calcula a partir de la ecuación:

$$R_t = R_{ref} (1 + \alpha \Delta T)$$

2.1

donde:

$R_t$  = Resistencia  $\Omega$  del conductor a la temperatura  $T$  ( $^{\circ}\text{C}$ )

$R_{\text{ref}}$  = Resistencia  $\Omega$  a la temperatura de referencia normalmente  $0$   $^{\circ}\text{C}$

$\alpha$  = Coeficiente de temperatura de resistencia.

$\Delta T$  = Diferencia entre la temperatura de referencia y la de operación.

Las RTD son escogidas cuando la banda de temperatura de trabajo es amplia.

La elección del platino en las RTD de la máxima calidad, permite realizar medidas más exactas y estables hasta una temperatura aproximadamente  $500$   $^{\circ}\text{C}$ . Las RTD más económicas utilizan níquel o aleaciones de níquel, pero no son tan estables ni lineales como los que emplean platino (ver figura 2.2).

Para conocer más específicamente la selección, ventajas y desventajas de las RTD citamos a [1][2].

### 2.1.1 Conexión de la Pt100

Cuando el sensor esta lejos del acondicionamiento de señal, se producen errores por la inevitable presencia de conductores de conexión, que agregan resistencias en serie con el sensor, a su vez estos generan errores apreciables en consecuencia a los cambios de temperatura del medio ambiente.

Para solucionar este inconveniente, se procede a utilizar los métodos de conexión de los diversos hilos como son los de 2, 3 y 4 hilos.

El objetivo de estos métodos es el determinar exactamente la resistencia eléctrica  $R(t)$  del elemento sensor de platino sin que influya en la lectura la resistencia de los cables  $R_c$ .

## Con 2 hilos

El modo más sencillo de conexión es con solo dos conductores, ver Figura 2.3. En este caso las resistencias de los conductores  $Rc_1$  y  $Rc_2$  que unen la Pt100 al instrumento se suman generando un error inevitable.

El lector medirá el total  $R(t) + Rc_1 + Rc_2$  en vez de  $R(t)$ .

Lo único que se puede hacer es usar un conductor lo más grueso posible para disminuir la resistencia de  $Rc_1$  y  $Rc_2$  y así disminuir el error en la lectura.



Figura 2.3. Método de los dos hilos

Un conductor común razonablemente grueso sería uno de diámetro equivalente a 18 AWG. La resistencia de este cable es  $0.0193 \Omega$  por metro.

Por ejemplo, si se usa este conductor para medir una resistencia a 15 metros de distancia, la resistencia total de los conductores será  $15*2*0.0193 = 0.579 \Omega$  lo que inducirá un error en la lectura de  $1,5^\circ\text{C}$ .

Al tratarse de un transductor de muy baja resistencia, la conexión con dos hilos a un elemento de medición lleva asociada un error debido a las resistencias de los hilos de conexión.

Por ejemplo, una Pt-100 conectada a un multímetro con dos conductores de resistencia de  $1 \Omega$ , produce un error de temperatura de la siguiente forma:

$$\alpha = 0,00385 \frac{\Omega}{\Omega^\circ\text{C}} \quad R_{ref} = 100 \Omega \quad R_{conductor} = 2 \Omega$$

$$E_{\text{Error}} = \frac{1 \Omega}{0.00385 \frac{\Omega}{^{\circ}\text{C}} 100 \Omega} = \frac{1 \Omega}{0.00385 \frac{\Omega}{\Omega^{\circ}\text{C}} 100 \Omega} = 5.1948 \approx 5^{\circ}\text{C}$$

Con este error observamos que este método de los dos hilos es impreciso y poco se usa, el error se obtuvo en la manipulación de la ecuación 2.1.

### Con 3 hilos

El modo de conexión de 3 hilos es el más común y resuelve bastante bien el problema de error generado por los conductores  $R_c$ , ver figura 2.4.

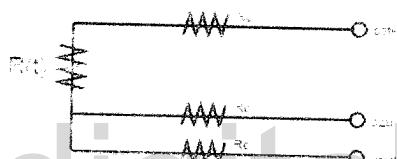


Figura 2.4. Método de los tres hilos

El único requisito es que los tres conductores tengan la misma resistencia eléctrica, por estar conectados a un puente de Wheatstone.

### Puente de Wheatstone con el método de los dos y tres hilos

La figura 2.5 muestra la configuración de un puente de *Wheatstone* en la que tienen lugar los errores de hilos de conexión comentados anteriormente. La tensión medida en el medidor es:

$$V_m = V_R - \frac{V_{CC}}{2} \quad 2.2$$

La tensión  $V_R$  se mide en realidad la suma de resistencia de la RTD y la de los hilos de conexión.

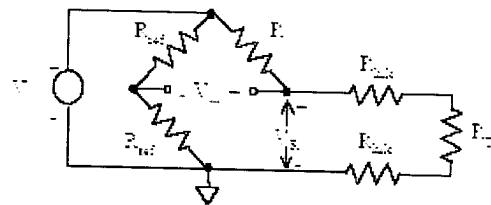


Figura 2.5. Puente de *Wheatstone* y errores por hilos de conexión.

Para minimizar el error se emplea la configuración de tres hilos de la figura 2.6, en la que se reduce a la mitad la resistencia parásita de los hilos.

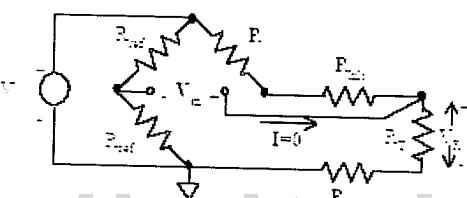


Figura 2.6. Puente de *Wheatstone* empleando configuración de tres hilos.

La siguiente expresión permite obtener la resistencia del RTD en función del resto de los parámetros del circuito:

$$R_T = (R + R_{\text{hilo}}) \left( \frac{V_{CC} + 2V_m}{V_{CC} - 2V_m} \right) - R_{\text{hilo}} \quad 2.3$$

Para obtenerla basta con calcular la tensión  $V_R$  y luego aplicar la ecuación 2.2.

Como se observa, esta configuración tampoco elimina el error de hilos de conexión. A tal fin se emplea la configuración de cuatro hilos.

#### Con 4 hilos

El método de 4 hilos es el más preciso de todos, los 4 conductores pueden ser distintos (distinta resistencia) pero el instrumento lector es más costoso.

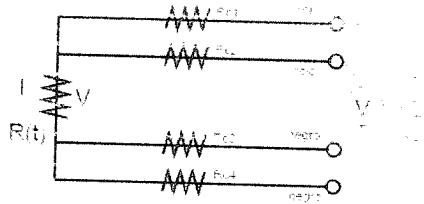


Figura 2.7. Método de los cuatro hilos

Por los conductores 1 y 4 se hace circular una corriente  $I$  conocida a través de  $R(t)$  provocando una diferencia de potencial  $V$  en los extremos de  $R(t)$ .

Los conductores 2 y 4 están conectados a la entrada de un voltímetro de alta impedancia, luego por estos conductores no circula corriente y por lo tanto la caída de potencial en los conductores  $Rc_2$  y  $Rc_3$  será cero ( $dV = I_c * Rc = 0$ ) y el voltímetro medirá exactamente el voltaje  $V$  en los extremos del elemento  $R(t)$ .

La figura 2.8, muestra la configuración de medida de cuatro hilos, que consigue eliminar el error asociado a los hilos de conexión. Como se aprecia, se emplea una fuente de corriente de polarización en lugar de una fuente de tensión. Por tanto, el valor del RTD es:

$$R_T = \frac{V_m}{I_T} \quad 2.4$$

Para minimizar los errores por autocalentamiento la corriente por el RTD no debe superar 1 mA. En consecuencia, la tensión medida no debe superar 0,01 V en una Pt-100.

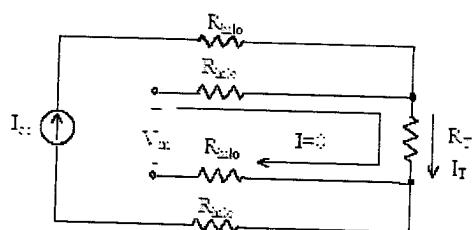


Figura 2.8. Configuración de medida basada en el método de los cuatro hilos.

### 2.1.2 Etapas para el Acondicionamiento de señal

Para el sistema de medida en el que interviene la RTD, se necesita acondicionar la señal producida por este sensor que tiene niveles de milivoltios (mV) a una señal de salida de 4 V, para realizar este acondicionamiento se debe tener las siguientes etapas:

- Amplificación, Retención y Filtrado

## 2.2 Termopares

Los termopares [1][2][7][8][11], se utilizan extensamente, ya que ofrecen una gama de temperaturas mucho más amplia, ver Figura 2.9 y una construcción más robusta que otros tipos. Además, no precisan alimentación de ninguna clase y su reducido precio los convierte en una opción muy atractiva para grandes sistemas de adquisición de datos. Sin embargo, para superar algunos de los inconvenientes inherentes a los termopares y obtener resultados de calidad, es importante entender la naturaleza de estos dispositivos.

Estudios [1][2][11], realizados sobre el comportamiento de termopares han permitido establecer tres leyes fundamentales que son:

- Ley del circuito homogéneo, Ley de metales intermedios y Ley de las temperaturas sucesivas.

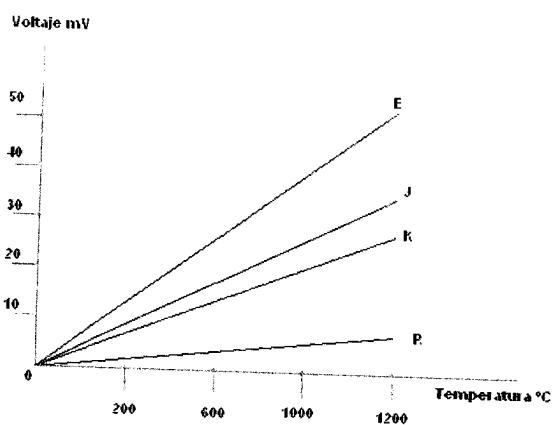


Figura 2.9. Característica de los termopares más comunes

## 2.2.1 Funcionamiento de los Termopares

Un termopar se crea cuando dos metales diferentes se tocan y el punto de contacto produce un voltaje que es función de la temperatura, este voltaje se conoce como *voltaje Seebeck*, en honor a Thomas Seebeck que lo descubrió en 1821. El voltaje es aproximadamente lineal.

$$\Delta V \approx S \Delta T$$

2.5

Donde  $\Delta V$  es el cambio de voltaje,  $S$  el coeficiente de Seebeck y  $\Delta T$  el cambio en la temperatura.  $S$  varía con la temperatura y hace que los voltajes de salida de los termopares no sean lineales con la temperatura sobre todo su rango de operación.

Considere el sistema ilustrado en la figura 2.10, en el que se presenta un termopar tipo J, sometido a una fuente de energía de calor en el que se tiene una temperatura deseada. Los dos conductores del termopar están conectados directamente al acondicionamiento de señal o al sistema de DAQ.

Al observar la figura vemos que existen tres uniones de la combinación de los respectivos metales - J1, J2, y J3. J1. La unión del termopar J1, genera un voltaje de Seebeck proporcional a la temperatura que genera la energía de calor. J2 y J3 tienen también su propio coeficiente de Seebeck y generan su propio voltaje termoeléctrico proporcional a la temperatura.

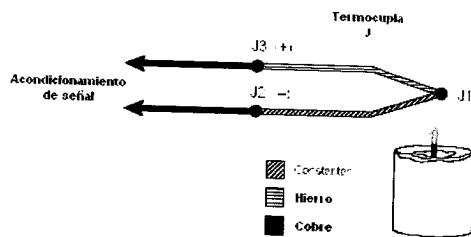


Figura 2.10. Termopar tipo J, sometido a una fuente de energía

Para determinar el valor verdadero que proporciona la unión de la juntura J1, se necesita conocer las temperaturas de las uniones J2 y J3 así como las relaciones de los voltaje-a-temperatura para estas uniones. Al conocer las tensiones o temperaturas en las uniones J2, J3 se procede a restar las contribuciones y así obtener el valor verdadero de la temperatura en prueba o voltaje medido.

### 2.2.2 Compensación del termopar

Los termopares requieren una cierta forma de referencia o compensación para eliminar variaciones indeseables de la temperatura del medio ambiente o termopares parásitos. El término de unión fría viene de la práctica tradicional de llevar a cabo esta unión a 0 °C, ver Figura 2.11. En la Figura 2.11, el voltaje de medida a la adquisición de datos depende de la diferencia entre las temperaturas T1 y Tref, en este caso, Tref es 0 °C, podemos decir que la medida de lectura es igual a T1.

En la práctica es inevitable que haya cuando menos dos uniones de termopar en el sistema. Para evitarlo es necesario conocer y mantener constante la temperatura de una de las uniones. Por tanto, existe un voltaje fijo en la medición del sistema. Se acostumbraba colocar esta unión en una mezcla de hielo y agua, estabilizando la temperatura a 0 °C. Técnicas más modernas utilizan dispositivos electrónicos de hardware y Software para medir voltajes de termopares y convertir el voltaje Seebeck a temperatura y compensar por la unión de referencia.

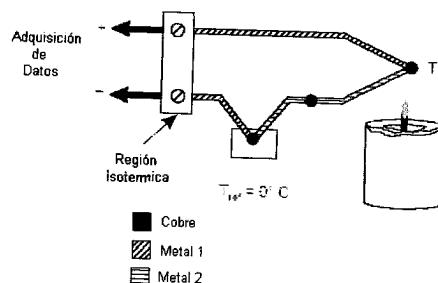


Figura 2.11. Configuración del termopar con unión fría.

**Compensación por hardware.** Para contrarrestar la tensión producida por efectos de termopares parásitos se utilizan circuitos electrónicos como: Potenciómetros, Puente Wheatstone, Circuitos integrados como lo es la tecnología FPAA y otros [1][2][11].

Estos sistemas que hacen las veces de una fuente de tensión, con el propósito de lograr cancelar el efecto termoeléctrico parásito producido por las junturas producidas por los termopares. Este voltaje es de acuerdo a las condiciones de la temperatura ambiente y así agrega el voltaje correcto para anular las tensiones no deseadas.

**Compensación por software.** Para contrarrestar la tensión producida por efectos de termopares parásitos se utilizan sistemas informáticos como son los lenguajes de alto y bajo nivel y software orientados a objetos.

Estos sistemas informáticos utilizan los algoritmos producidos por la conformación matemática de los modelos que establecen el comportamiento de un termopar, es decir, si se tiene una ecuación dada se puede sumar o restar un factor que sea el encargado de compensar el efecto producido por ese elemento parásito.

### 2.2.3 Linealización de un termopar

Para comprender más específicamente el concepto de los termopares presentados en la figura 2.9, se debe realizar sus respectivos modelos matemáticos.

La ecuación que aproxima las curvas de los diversos termopares es la ecuación 2.4, también nos representa la conversión de la tensión propia del termopar traducida en temperatura real:

$$T = a_0 + a_1 x + a_2 x^2 + a_3 x^3 + a_4 x^4 + a_5 x^5 + a_6 x^6 + \dots \quad 2.6$$

Donde:

a = Coeficientes de los polinomios que dan la forma aproximada la tensión de salida.

x = Es la tensión obtenida V.

	Tipo de Termopares					
	E	J	K	R	S	T
Rango	0 to 1000 °C	0 to -60 °C	0 to 500 °C	-50 to 250 °C	-50 to 250 °C	0 to 400 °C
a <sub>0</sub>	0.0	0.0	0.0	0.0	0.0	0.0
a <sub>1</sub>	1.7057035E-2	1.9784135E-2	2.503355E-1	1.681280E-1	1.84549460E-1	1.592800E-2
a <sub>2</sub>	-1.3301759E-7	-2.001104E-7	-7.360126E-8	-6.7383520E-8	-6.000496E-8	-7.600961E-7
a <sub>3</sub>	6.5435595E-12	1.096369E-11	-2.503151E-10	1.3763619E-7	1.02237230E-7	-4.637791E-11
a <sub>4</sub>	-7.3563749E-17	-2.54968E-16	8.511770E-14	-2.2702180E-10	-1.52248591E-10	-2.165794E-13
a <sub>5</sub>	-1.78986001E-21	3.085155E-21	-1.228634E-17	3.0140659E-13	1.68821134E-13	5.048144E-20
a <sub>6</sub>	8.4036168E-26	-5.344233E-26	9.834036E-11	-5.8958900E-16	-1.59085941E-16	-7.293422E-21
a <sub>7</sub>	-1.13735879E-30	5.099890E-31	-4.413619E-26	1.60138471E-19	8.33027389E-20	
a <sub>8</sub>	1.0629829E-35		1.057734E-20	-1.1607181E-23	-2.24181344E-23	
a <sub>9</sub>	-3.2447087E-41		-1.652755E-25	8.1253611E-26	2.79766160E-27	
a <sub>10</sub>				-3.2187769E-26		
Error	±0.02 °C	±0.05 °C	±0.05 °C	±0.02 °C	±0.02 °C	±0.03 °C

Tabla 2.1 Coeficientes de los polinomios de termopares.

#### 2.2.4 Etapas para el Acondicionamiento de señal

Las etapas que conforman un acondicionamiento de señal para un termopar que tiene un voltaje en el orden de (mV), frecuencias de 1 a 4 Hz [7][8][11] son las siguientes:

- Aislamiento
- Amplificación.
- Compensación o comparador de las unión fría.
- Retención
- Filtrado

#### 2.4 Transformador diferencial (LVDT)

El transformador diferencial de variación lineal (LVDT), [1][2][7][8][11], mide fuerza en términos del desplazamiento del núcleo ferromagnético de un transformador.

La construcción básica del LVDT se muestra en la figura 2.12.

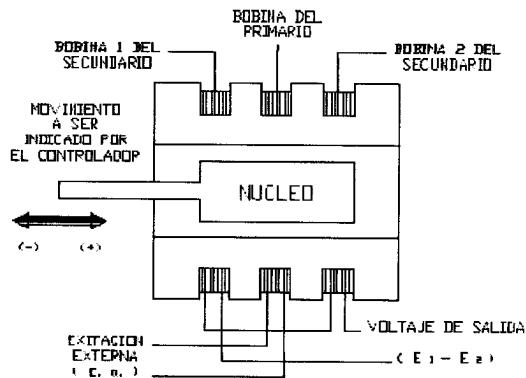


Figura 2.12 Esquema básico de un LVDT.

El transformador consiste de un embobinado primario y dos embobinados secundarios, los cuales están en contrafase con el primario. Los secundarios tienen igual número de vueltas, están conectados en serie y en oposición de fase, con lo cual, las fems inducidas en las bobinas se oponen. La posición del cursor determina el flujo concatenado entre el voltaje alterno de excitación del primario y el correspondiente a los embobinados del secundario.

Con el cursor en el centro o posición de referencia, las fems inducidas en los secundarios son iguales, y como son opuestas una con otra, el voltaje de salida será de 0 V. Cuando una fuerza externa aplica un movimiento al cursor hacia la izquierda habrá más líneas de flujo magnético en la bobina izquierda que en la bobina derecha, y por lo tanto la fem inducida en la bobina izquierda será mayor. La magnitud del voltaje de salida es entonces igual a la diferencia entre los dos voltajes del secundario y estará en fase con el voltaje de la bobina izquierda. En forma análoga, cuando el cursor es movido a la derecha, existirán más líneas de flujo de la bobina derecha y la magnitud del voltaje de salida estará ahora en fase con la fem de la bobina de la derecha. Dichas magnitudes serán iguales y de fase opuesta mientras que la diferencia entre las dos fems inducidas sean las mismas y de fase opuesta.

La figura 2.13 muestra la salida de voltaje del LVDT en función de la posición del cursor.

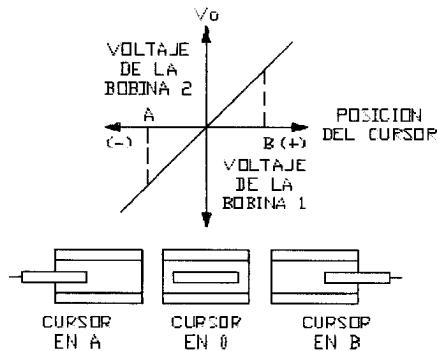


Figura 2.13. Posiciones físicas de un LVDT según el cursor.

El LVDT provee resolución continua y presenta baja histéresis. Puede usarse en desplazamientos relativamente largos. El instrumento es sensible a las vibraciones. Los instrumentos receptores deben ser seleccionados para operar con señales de corriente alterna o con un demodulador si se requiere salida de corriente continua.

Las características fundamentales que determinan el campo de empleo y la calidad de estos dispositivos son las siguientes:

- Voltaje de entrada nominal
- Margen de frecuencias
- Campo nominal de desplazamiento
- La impedancia del primario y del secundario
- El campo de temperaturas de trabajo y de almacenamiento.

Las características relativas a la calidad de la conversión son las siguientes: linealidad, sensibilidad y variación de fase, se encuentran plasmadas en las siguientes referencias [1][2][7][8][11].

La Figura 2.14 se observa que hay un punto nulo C en el centro del sensor ( $x = \frac{1}{2}L$ ) donde  $V_{sal} = 0$  (en teoría). Aquí existe un acoplamiento igual entre la bobina primaria y las secundarias, de modo que  $V_1 = V_2$ .

En los puntos A y B, igualmente espaciados a uno u otro lado del punto nulo,  $V_{sal}$  tiene el mismo valor  $V_o$ . Sin embargo, en A el voltaje de salida está  $180^\circ$  fuera de fase con el voltaje primario, esto es  $-180^\circ$  ( $V_2 > V_1$ ), en tanto que en B el voltaje de salida en fase con el voltaje primario, esto es  $0^\circ$  ( $V_1 > V_2$ ). Ocurren efectos no lineales en uno u otro extremo (D y E) cuando el núcleo se mueve hacia el borde del formador.

La señal de salida c.a. se convierte en c.d. en una forma de diferencia entre las situaciones en A y B, donde la amplitud es la misma, pero hay una diferencia de fase de  $180^\circ$ . Se utiliza un demodulador sensible de fase que detecta esta diferencia de fase y genera un voltaje negativo en la posición A y uno positivo en la posición B.

Las características de c.d. correspondiente se presentan en la figura 2.14, estas demuestran que la falta de linealidad aumenta conforme se incrementa la serie de valores de desplazamiento.

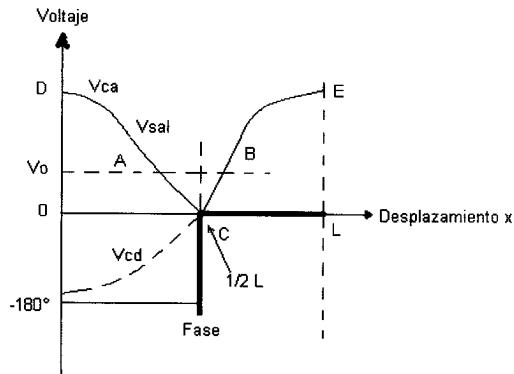


Figura 2.14. Características de un LVDT

#### 2.4.1 Etapas de acondicionamiento de señal

Para suplir la etapa de acondicionamiento de señal para una LVDT se debe tener en cuenta la frecuencia de entrada al primario oscila entre 400 Hz hasta 50 kHz, en este caso tomamos por recomendación del fabricante la de 2.5 kHz y la tensión de 2 a 4 V se toma 3 V. Las etapas son las siguientes:

- Generador de frecuencia
- Demodulador de fase
- Filtrado
- Sumador

#### 2.5 Celda de carga

La galga extensiometrica [1][2][7][8][11], es un dispositivo comúnmente usado en pruebas y mediciones mecánicas. La galga más común, la galga extensiometrica de resistencia, consiste de una matriz de bobinas o cable muy fino el cual varia su resistencia linealmente dependiendo de la carga aplicada al dispositivo. Cuando se usa una galga extensiometrica, se pega la galga directamente al dispositivo bajo prueba, se aplica fuerza y se mide la carga detectando los cambios en resistencia. Las galgas extensiometricas también son usadas en sensores que detectan fuerza, aceleración, presión y vibración.

Ya que las mediciones de carga requieren detectar cambios muy pequeños de resistencia, el circuito de puente Wheatstone se usa predominantemente. El circuito de puente Wheatstone consiste de cuatro elementos resistivos con excitación de voltaje aplicado en las puntas del puente. Las galgas extensiometricas pueden ocupar uno, dos o cuatro brazos del puente, completando con resistencias fijas los brazos que sobran.

La resistencia “R” y la resistividad “ $\rho$ ” de un conductor es directamente proporcional a la longitud “L” e inversamente proporcional al área “A”. Sin embargo la

longitud del conductor dependiendo de la fuerza aplicada se comprime o extiende, cambiando la resistencia.

Un conductor tiene una longitud “L” y le corresponde una resistencia “R” como se muestra en la figura 2.15. Si se comprime el conductor la resistencia decrece y el área se incrementa. Si se le aplica una fuerza que genera un movimiento de extensión, la resistencia se incrementa y la sección del conductor se disminuye. En general cuando se le aplica una fuerza a un conductor, las características físicas mecánicas se afectan.

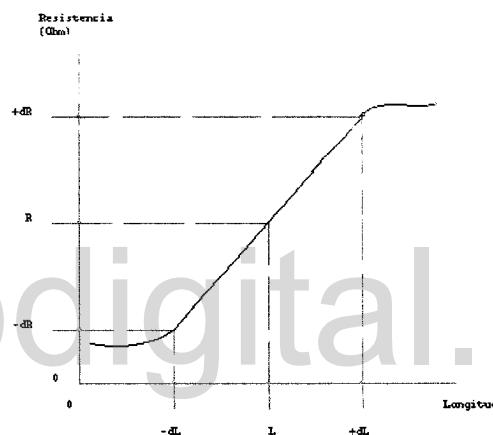


Figura 2.15. Relación entre longitud y resistencia de una galga.

La resistencia intrínseca de un conductor viene dada por:

$$R_o = \rho \left( \frac{L_o}{A_o} \right) \quad 2.7$$

donde:

$R_o$  = resistencia en ohms ( $\Omega$ )

$\rho$  = resistividad en ohms-metros ( $\Omega \cdot m$ )

$L_o$  = Longitud en metros (m)

$A_o$  = sección transversal ( $m^2$ )

Si se le aplica una fuerza a un conductor, el efecto es el de variarle su longitud en  $\Delta L$  donde la nueva longitud será  $L_0 + \Delta L$ .

Si asumimos que el volumen del conductor es constante, entonces un incremento en la longitud puede causar un decremento en la sección transversal de  $\Delta A$ .

$$V = L_0 A_0 = (L_0 + \Delta L)(A_0 - \Delta A) \quad 2.8$$

Asumimos que la resistividad del conductor no es afectada por la fuerza, entonces la resistencia del conductor es:

$$R = \frac{\rho (L_0 + \Delta L)}{(A_0 - \Delta A)} \quad 2.9$$

Uniendo la ecuación 2.8 y 2.9, podemos obtener lo siguiente:

$$R = \rho \left( \frac{L_0}{A_0} \right) \left( 1 + 2 \frac{\Delta L}{L_0} \right) \quad 2.10$$

El cambio de resistencia es:

$$\Delta R = 2R_0 \left( \frac{\Delta L}{L_0} \right) \quad 2.11$$

La cara de un conductor y su resistencia es afectada por la fuerza que se aplica. En otras palabras la magnitud de la fuerza aplicada puede ser calculada por la medida de la resistencia o cambio de esta. Sin embargo la temperatura afecta al cambio en general, por eso es necesario aplicarle un compensador.

Existen dos tipos de configuraciones para las galgas extensiométricas:

- Metal – hilo
- Metal – laminilla

Ambos tienen las mismas características básicas.

El alambre de la galga esta construido en forma de zigzag como se presenta en la figura 2.10.

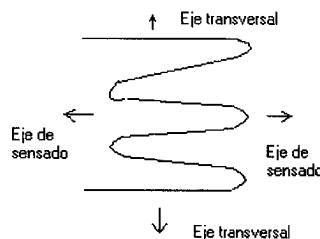


Figura 2.16. Diagrama interna de un galga extensiométrica.

El puente que contiene las galgas extensiométricas es comúnmente usado para detectar el cambio de la resistencia y convertirlo en voltaje. Esta disposición consiste en una galga activa y una pasiva, como se presenta en la figura 2.17.

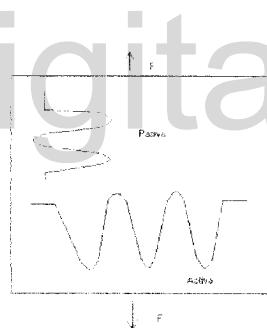


Figura 2.17. Diagrama interno de una galga extensiométrica pasiva y activa.

### 2.5.1 Etapas de acondicionamiento de señal

Para suplir la etapa de acondicionamiento de señal para galga extensiométrica, se debe tener en cuenta la tensión que se aplica al puente Wheatstone de 5 V, con sus respectivas resistencias de igual valor, en este caso de  $120 \Omega$ , también se establece una señal de salida de 4 V, para un valor máximo de 5 kg, hay que tener en cuenta los pesos externos como es el plato de montaje de las pesas.

- Amplificación, ajuste de compensación de peso externo, comparador y filtrado.

## **CAPITULO III**

### **ACONDICIONADORES DE SEÑAL**

La salida que proporciona el sensor no siempre se puede conectar directamente al aparato de medida. Los motivos son diversos: ya sea que la salida del sensor es muy débil y el instrumento no es capaz de detectarla, ya porque su interés es convertir la señal de intensidad o frecuencia a voltaje, o por otras razones. Es necesario entonces “preprocesar” la señal antes de que llegue al instrumento.

Al considerar una señal débil con una cantidad de ruido, se procede acoplar, amplificar y filtrar esta señal para así poder conectarla con el dispositivo de tratamiento o aparato de medida correspondiente, según su aplicación.

Para conocer más detalladamente sobre estos conceptos expuestos anteriormente se presentará a continuación la tecnología de punta FPAA, que abarca todas las etapas que conforman un acondicionamiento de señal.

#### **3.1 Tecnología FPAA**

##### **3.1.1 Introducción**

El procesamiento de las señales análogas en el dominio del tiempo es altamente factible y tiene algunas ventajas importantes con respecto al procesamiento digital [10]. Primero, no existe la necesidad de utilizar conversores análogos a digital y viceversa. Segundo, los diseños análogos consumen menos potencia que su contra parte digital, por ejemplo, en las comunicaciones inalámbricas el bajo consumo de potencia es una consideración de diseño crítica. Tercero, los diseños análogos ocupan menos área en el chip, que los digitales.

Adicionalmente, hoy en día se diseñan novedosos circuitos integrados análogos y de señal mixta (análogos, digitales), los cuales usan nuevas técnicas de diseño análogo para alcanzar altas velocidades en el procesamiento analógico.

Los nuevos desarrollos son enfocados para obtener circuitos con excelentes características tales como: amplio ancho de banda, alta linealidad, excelente relación señal-ruido, bajo consumo de potencia y otros.

Entre los nuevos circuitos análogos y las nuevas metodologías de diseño análogo se encuentran los circuitos análogos programables FPAs (Field Programmable Analog Array), los cuales brindan una solución eficaz a los problemas de rápido prototipaje y simplifican la tarea de diseñar circuitos electrónicos análogos.

De otro lado, en VLSI la tendencia es siempre hacia la integración de sistemas electrónicos en un solo chip, lo cual conlleva a la integración de sistemas análogos y digitales en el mismo chip. En este caso la reducción de números de chips conduce a la reducción del área de la tarjeta, la interconexión y lo más importante el costo. Entonces, en el futuro, los circuitos programables van a integrar FPAs con FPGAs en un solo chip debido a la rápida expansión del mercado para circuitos integrados de señal mixta.

### **3.1.2 Circuitos análogos programables**

Los circuitos análogos programables se denominan en la literatura FPAA (Field Programmable Analog Array). Estos circuitos son el equivalente análogo de los circuitos digitales FPGA (Field Programmable Gate Array).

Un circuito análogo programable es un circuito que puede ser configurado para implementar una variedad de funciones análogas; el circuito consta de un arreglo de bloques análogos configurables (Configurable Analog Block: CAB), una red de interconexión programable y un registro para almacenar los bits de la configuración de la FPAA [10].

De acuerdo a las características impuestas por el fabricante del FPAA, la red de interconexión proporciona la ruta de conexión entre los bloques CABs, o entre los bloques de entrada y salida (I/O). El registro de las cadenas de bits que almacenan la información para configurar los bloques CABs.

### 3.1.3 Terminología

Debido a que existen diferentes fabricantes de FPAs, una nueva terminología está siendo usada. Actualmente, las terminologías más utilizadas son las siguientes [10]:

- **Field Programmable Analog Array (FPAA):** Un circuito integrado, el cual puede ser programado para implementar circuitos análogos, usando bloques análogos flexibles e interconexiones.
- **Field Programmable Mixed Analog – Digital Array (FPMA):** Un circuito integrado, el cual contiene una FPAA y un FPGA, es tan flexible como los bloques configurables y se puede programar para implementar circuitos de señal mixta.
- **Electrically Programmable Analog Circuit (EPAC):** Un circuito FPAA versión de IMP Inc, EPAC es una marca registrada del fabricante IMP Inc.
- **Field Programmable Analog Device (FPAD):** Es el nombre que utiliza el fabricante Zetex para una FPAA.
- **Reseau Analogique Programmable (RAP):** Nombre en francés para una FPAA.
- **Configurable Analog Block (CAB):** Celda analógica básica y programable en una FPAA.
- **Field Programmable System On a Chip (FIPSOC):** Un chip que integra un FPMA y un microcontrolador, este chip es comercializado por la compañía SIDSA.

### 3.1.4 Evolución de los FPAAs

Con la aparición y evolución de los circuitos digitales programables (Programmable Logic Devices: PLDs), surgió la necesidad de desarrollar circuitos integrados que permitieran programar e implementar circuitos de señal mixta en un solo chip: es por ello que desde la década del ochenta hasta el presente, varias compañías y grupos de investigación (la mayoría de ellos pertenecientes a las universidades), han desarrollado y anunciado sus productos, tal como se muestra en la Tabla 3.1, [10].

Año	Compañías y grupos de investigación
1988	Sivilotti ( Caltech )
1990	Lee & Gulak ( University of Toronto )
1990	Kawasaki Steel, Pikington Microelectronics
1991	Lee & Gulak ( University of Toronto )
1994	IMP, Inc
1994	Pierzchala & Perkowski ( Pórtland State University )
1994	Chang et al ( University of Nottingham )
1996	Embabi et al ( Texas A&M University )
1996	Zetex Semiconductors Ltd
1997	Guadet & Gulak ( University of Toronto )
1997	Futura et al ( Spain ), Motorola
1998	Motorola e IMP, retiradas del mercado
1999	IspPAC deLattice
1999	SIDSA FIPSOC ( anuncio el nuevo chip )
2000	Anadigm

Tabla 3.1 Evolución de los FPAAs

### 3.1.5 FPAAs Comerciales

Actualmente tres compañías fabricantes de semiconductores producen circuitos FPAAs. En la Tabla 3.2 se presentan los FPAAs comerciales, [10].

Fabricante	Modelo	Tecnología	Ancho de banda
Lattice	IspPAC10	UltraMOS tiempo Continuo	550 kHz (G=1)
	IspPAC20		330 kHz ( G=100 )
	IspPAC30		1,5 MHz
	IspPAC80		500 kHz
	IspPAC81		75 kHz
	IspPAC POWR1208		
Zetex	TRAC20	Bipolar tiempo continuo	4 MHz
	TRAC20LH		12 MHz
Anadigm	AN10E40	Switched Capacitor	5 MHz
	AN120E04		
	AN220E04		2 MHz

Tabla 3.2 FPAAs comerciales

**Circuitos FPAAs de Lattice.** El elemento funcional, activo básico de los circuitos FPAAs de Lattice es el PACell (Programmable Analog Cell) que, dependiendo de la arquitectura específica del circuito IspPAC, puede ser un amplificador de instrumentación, un amplificador sumador u otra etapa activa elemental.

En todos los circuitos IspPAC, las celdas programables PACells se combinan cuidadosamente para formar macroceldas análogas o PACblocks. En este caso, no se requiere ningún componente externo, lo cual flexibiliza la implementación de funciones análogas básicas tales como: filtrado con precisión, suma o diferencia, ganancia o atenuación y conversión.

Los circuitos IspPAC funcionan con una sola fuente de alimentación a 5 V y ofrecen una arquitectura que es completamente diferencial desde la entrada hasta la salida. Esto duplica la eficiencia del rango dinámico versus I/O “single – ended” (voltaje de entrada).

También, produce un funcionamiento mejorado con respecto a las especificaciones, tales como: CMR (Common Mode Rejection), PSR (Power – Suplí Rejection) y THD (Total Harmonic Distortion). Al mismo tiempo, la operación “single – ended” se acondiciona fácilmente.

La metodología de diseño de programación en el sistema (In – System Programmable: ISP) de Lattice permite simplificar el proceso de diseño y acelerar la implementación del circuito análogo. En este caso, la herramienta de diseño PAC-Designer suministra al usuario una ventana con una interfaz gráfica para especificar fácilmente el diseño usando librerías y macros generadores de circuitos.

La Tabla 3.3 presenta los diferentes circuitos de la familia IspPAC y la respectiva área de aplicación de cada uno.

Circuito	Función	Encapsulado
IspPAC-POWR1208	Control y monitoreo de fuentes de potencia	44-TQFP
IspPAC10	Acondicionamiento de señal	28-SOIC 28-PDIP
IspPAC20	Lazo de control y monitoreo	44-PLCC 44-TQFP
IspPAC30	Versatilidad análoga front-end	24-SOIC 28-PDIP
IspPAC80	Ultra Flexible, tiempo continuo, filtro paso bajo 50 kHz – 750 kHz	16-SOIC 16-PDIP
IspPAC81	Ultra Flexible, tiempo continuo, filtro pasa bajo 10 kHz – 75 kHz	16-SOIC 16-PDIP

Tabla 3.3 Circuitos FPAs de la familia IspPAC

**Circuitos FPADs de Zetex.** Los circuitos FPADs de Zetex son TRAC020 y TRAC020LH (versión del TRAC020 para baja potencia).

El circuito TRAC se basa en una única celda análoga configurable, la cual es flexible a la programación para llevar a cabo diferentes funciones tales como: adición,

negación, logaritmo, antilogaritmo, amplificación, diferenciación, integración, rectificación y seguidor de voltaje. Estas funciones son combinadas para implementar un sistema de procesamiento de señal o acondicionamiento de señal. Ellas también facilitan el uso de las técnicas estructuradas de diseño matemático. En este caso, no es necesario entender muy bien la estructura de las funciones análogas, solo es necesario entender su función a nivel de sistema.

Las funciones básicas pueden ser configuradas en cada una de las veinte celdas interconectables entre si para facilitar el diseño y configuración de cualquier circuito analógico en el chip; es decir, la configuración es realizada digitalmente mediante un registro de desplazamiento, mientras la señal permanece en el dominio analógico todo el tiempo, por lo tanto se evitan los errores de muestreo y retardos de procesamiento hallados en soluciones equivalentes con DSP (Digital Signal Processing).

Adicionalmente como un complemento a los TRACs, el grupo FAS (Fast Analog Solutions) de Zetex tiene en el mercado el circuito CASIC (Computational Application Specific Integrated Circuit) ZXF36Lxx, el cual contiene 36 celdas analógas las cuales se pueden configurar usando una máscara para la metalización.

**Circuitos FPAs de Anadigm.** El FPA de Anadigm es un dispositivo adecuado para el diseño e implementación de diferentes circuitos analógicos basados en usar la técnica de diseño SC (switched capacitor). Este circuito dispone de macros llamados Ipmodes, los cuales implementan las funciones de amplificación, suma, integración, diferenciación, comparación y rectificación, fuentes de DC (voltajes de referencia), filtros, osciladores senoidales y circuitos S/H (Sample and Hold) y T/H (Track and Hold), es decir, puede ser usado en diversas aplicaciones tales como: filtrado de señales, implementación de circuitos de control, generadores de señal, etc.

El chip se divide en bloques analógicos configurables (Configurable Analog Block: CAB), cada uno con amplificadores operacionales, bancos de capacitores e interruptores. También existen diversas etapas de entrada (Local Inputs) y sus salidas.

La información para las interconexiones y el comportamiento de los CABs es almacenada en el bloque SRAM, la cual es cargada durante la configuración. El proceso de configuración típicamente ocurre al energizar el circuito, pero puede ser re-iniciado en cualquier momento. La habilidad para re-configurar el bloque SRAM en cualquier momento le permite al usuario gran flexibilidad para diseñar un sistema.

La lógica para la configuración (Configuration Logic) y el registro de desplazamiento (Shift Register) trabajan en conjunto siempre que la configuración del chip este en proceso. La matriz de bloques CABs está rodeada por las celdas análogas I/O (Input/Output) programable. El chip también tiene un generador de voltaje de referencia (Vref) programable.

Las celdas análogas I/O son flexibles y permiten conectar directamente la circuitería del núcleo (core) del chip con los pines de entrada o salida. Adicionalmente, con muy pocos componentes externos se implementa fácilmente un filtro Sallen – Key, el cual permite corregir los problemas de aliasing.

Debido a que el FPAAs está basado en circuitos switched-capacitor, sus señales de salida no están libres de la presencia de ruido, entonces la flexibilidad de las celdas I/O es importante cuando se considera la implementación de filtros anti-aliasing. Adicionalmente, debido a la naturaleza misma del sistema de datos muestreados (Sampled Data System), el cuidado que se debe tener es limitar el ancho de banda de la señal de entrada para evitar aliasing.

También existe una tecnología de segunda generación y están basados en una arquitectura switched-capacitor completamente diferencial. En esta tecnología se posee una LTU (Look-Up Table) que permiten realizar la implementación de funciones arbitrarias, celdas análogas de entrada multiplexada y celdas de salida.

Cada una de las celdas de entrada tiene un filtro anti-aliasing programable y un amplificador de alta ganancia con bajo Offset de entrada. Posee dos tipos de memoria: la SRAM de respaldo (Shadow) y la SRAM de configuración. Los nuevos datos de

configuración son almacenados en la Shadow SRAM, los cuales son transferidos a la SRAM de configuración en un flanco de reloj provisto para sincronizar la actualización de la función análoga del circuito.

La diferencia fundamental entre estos FPAAs es la programación, el de primera generación es un dispositivo de bajo costo para aplicaciones de alto volumen de producción, sin embargo este puede ser re-programado se activa la señal de reinicio (reset) del chip; la segunda generación soporta re-configuración dinámica (re-programación o actualización de una nueva función) mientras realiza un procesamiento análogo.

### **Ventajas y Desventajas entre las Familias de FPAAs.**

#### **Familia Anadigm**

Los FPAAs de Anadigm son los más flexibles entre los circuitos análogos programables debido a:

- El número de celdas análogas CAB disponibles en el chip
- El número de funciones que se pueden programar en cada CAB
- No requiere componentes externos.
- Fácil manejo de la configuración.

#### **Familia Zetex**

Es la familia menos flexible entre los circuitos análogos programables debido a:

- Requieren componentes externos para diseñar circuitos análogos.
- Requieren componentes externos para implementar circuitos análogos.
- Son una solución a los problemas de diseño análogo basada en el simple uso de un conjunto de funciones matemáticas.

## Familia Lattice

Tienen las ventajas de utilizar una sola fuente de alimentación, entradas y salidas análogas completamente diferenciales (lo cual es óptimo en aplicaciones donde el ruido modo común es relevante) y ser dispositivos completamente programables sin la necesidad de usar componentes externos.

Su programación es muy compleja para su uso.

### 3.2 Tecnología FPAAs Anadigm

#### 3.2.1 Arquitectura Anadigm

En los FPAAs de la familia ANADIGM (Anadigmvortex), existen dos generaciones hasta estos momentos, la primera lo representa el “AN10E40”, la segunda esta “AN220E04” y se basan en una arquitectura switched-capacitor completamente diferencial,[13]. La arquitectura del AN221E04 consiste de una matriz de CABs de 2x2, una red de interconexión programable LTU (Look-Up Table), cuatro celdas análogas de entrada (una de ellas con un multiplexor para cuatro señales de entrada), y tres celdas de salida. En la figura 3.1, se muestra el diagrama de bloques de la matriz. Cada una de las celdas de entrada tiene un filtro antialiasing programable y un amplificador de alta ganancia con bajo Offset de entrada. Las cuatro celdas CABs pueden ser programadas a través de la LTU, lo cual permite realizar de implementación de funciones arbitrarias.

La diferencia fundamental entre los FPAAs, es la programación. El AN221E04 tiene dos tipos de memoria: SRAM de respaldo ( Shadow) y la SRAM de configuración.

Es decir que los nuevos datos de configuración son transferidos a la SRAM de respaldo y después de un tiempo establecido, son llevados a la SRAM de configuración.

**Celdas configurables de entrada y salida.** Cada celda configurable tiene una serie de recursos (filtros, amplificador de ganancia y chopper), ver figura 3.2, que permiten conexiones de alta fidelidad al interior y exterior sin la necesidad de componentes externos

adicionales. Para tener la máxima fidelidad, el dispositivo y los puertos de entrada y salida están diferenciados. Si se une una sola fuente terminal, un interruptor interno conectará el lado negativo del par diferenciado interno de la señal con la referencia principal del voltaje (VMR es el punto de referencia para todo el proceso de señal interno y se fija a 2.0 Voltios AVSS).

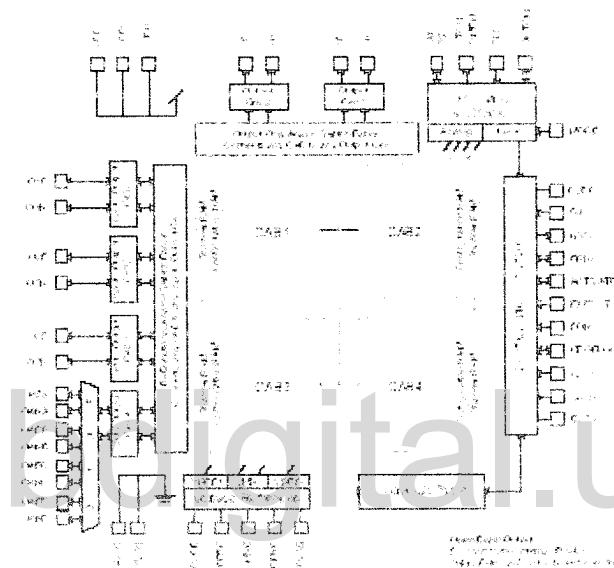


Figura 3.1 Arquitectura de AN221E04

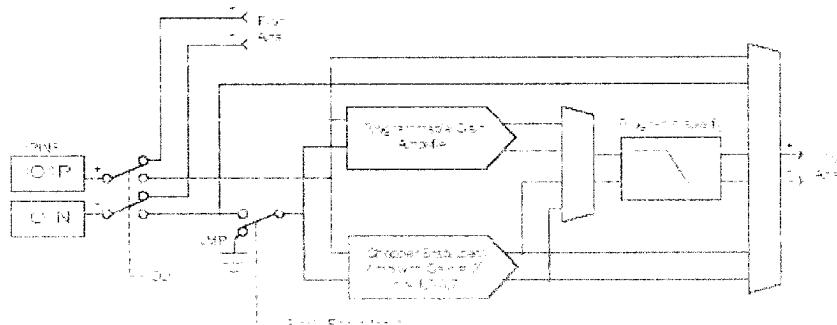


Figura 3.2. Celda de configuración I/O.

Como en cualquier sistema de muestreo de datos, es necesario utilizar un filtro paso bajo para la señal de entrada, con el objetivo de prevenir los transitorios o ruidos. La

trayectoria de la entrada de celda contiene un filtro programable del anti-aliasing de segundo orden. Al usar el filtro del anti-aliasing, Anadigm recomienda que el cociente de la frecuencia de la esquina del filtro a la frecuencia máxima de la señal, debe ser por lo menos de 30 db. Estos filtros son una característica útil, integrada para las señales de baja frecuencia (señales con frecuencia hasta 15 kHz) solamente; Para señal de entrada en frecuencias altas, Anadigm recomienda el uso del anti-aliasing externo. Un segundo recurso único de la entrada disponible dentro de cada celda entrada-salida es un amplificador con el trazado de circuito que se estabiliza del aumento programable y del interruptor opcional. El amplificador chopper estabilizado reduce enormemente la compensación de la entrada

**Multiplexación analógica entrada y salida.** Hay un multiplexor bidireccional disponible delante de una de las celdas de la entrada-salida. Esto permite la conexión física de 4 terminales a la salida y a la entrada, en forma diferencial. Si se programa una sola conexión a la entrada, el lado negativo del par diferenciado interno será conectado con la referencia de la fuente del voltaje, ver figura 3.3, [13].

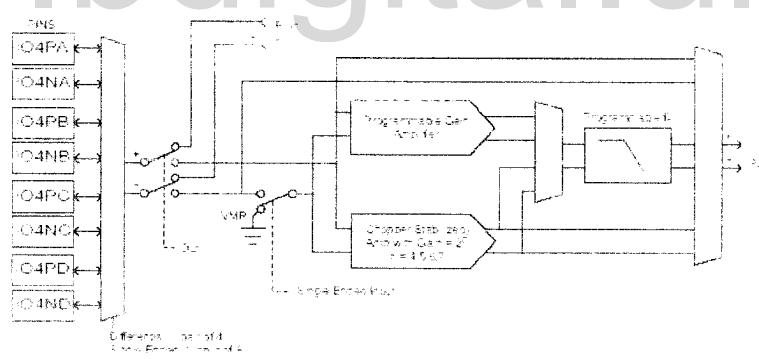


Figura 3.3. Esquema de multiplexación de entrada y salida.

**Celda de salida.** Las salidas pueden servir para entregar datos digitales, o las señales diferenciadas del voltaje análogo. Las celdas de la salida tienen trayectorias que permiten a las señales de la base de salir sin la transformación posterior y el de la protección. Cada celda de la salida contiene un filtro programable idéntico a el que está descrito para las celdas de la entrada-salida. El filtro se puede conectar, mientras que su estructura servirá como filtro del anti-aliasing para la entrada, en la celda de la salida sirve como un filtro de

la reconstrucción del segundo orden. Un diferencial para escoger el circuito del convertidor sigue el filtro programable. El diseñador de sistema puede elegir y utilizar solamente las señales de la SALIDA, refiriéndose a él a la referencia principal del voltaje (VMR), o utilizar ambas, como par diferenciado. Recuerde que una salida single-ended tendrá la mitad de la amplitud de una señal diferenciada, ver figura 3.4.

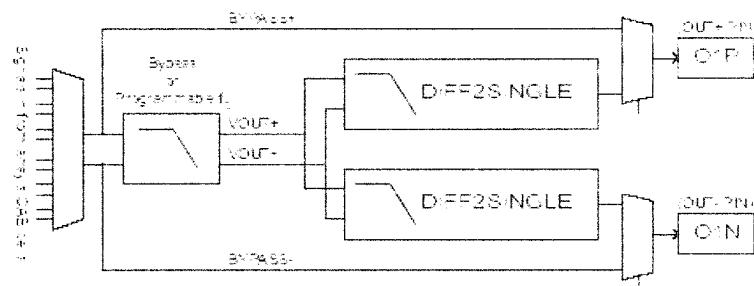


Figura 3.4. Celda de salida.

**Bloque análogo configurable.** Dentro del dispositivo, hay cuatro bloques análogos configurables (CABs). Entre la cantidad de interruptores internos existentes, algunos son estáticos y determinan las conexiones generales del circuito. Otros interruptores son dinámicos y pueden cambiar bajo control la señal de entrada análoga, la fase del reloj, y lógica del SAR. Si es estático o dinámico, todos los interruptores son controlados por la configuración SRAM, ver figura 3.5.

**Voltaje de referencia y generador de corriente.** Todo el proceso de señal análoga dentro del dispositivo se hace con respecto a la referencia principal del voltaje (VMR) que es nominal 2,0 V. La señal VMR se deriva de una fuente compensada de alta precisión. Además de VMR, VREF+ (1,5 V sobre VMR), y las señales de Vref- (1,5 V debajo de VMR) también se generan para el dispositivo según lo demostrado en la figura 3.6.

**Sistema de reloj.** La figura 3.7 proporciona una buena descripción del alto nivel de las características del reloj. El reloj que va a la lógica de la configuración esta conectado a DCLK. El pin DCLK puede tener un reloj externo aplicado a él, hasta 40 MHz. El pin de DCLK se puede conectar de otra manera con un cristal serie resonante, en el cual el trazado de circuito especial del caso asume el control para formar un oscilador controlado por un

cristal. No se requiere ninguna programación. La conexión de un cristal dará lugar a un DCLK espontáneamente oscilante.

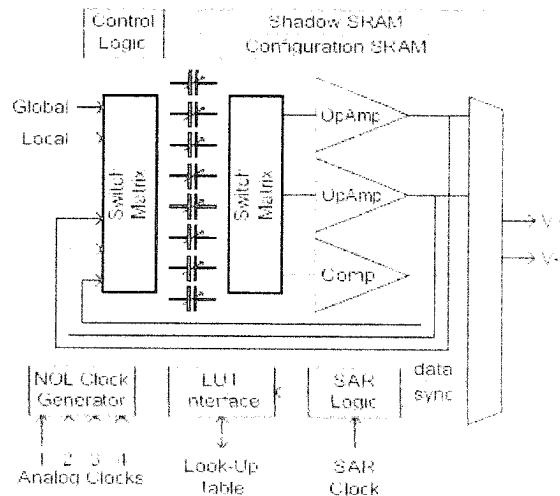


Figura 3.5. Bloque analógico configurable.

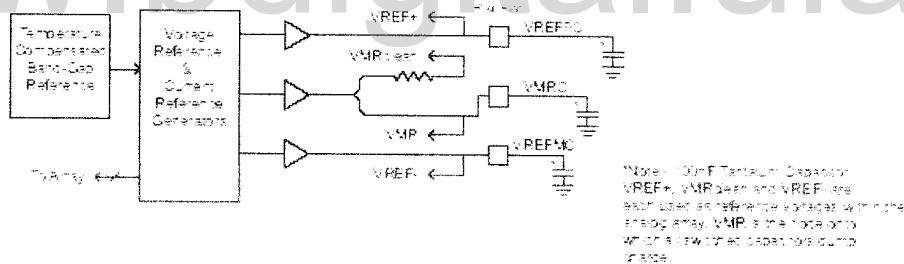


Figura 3.6. Diagrama del voltaje de referencia.

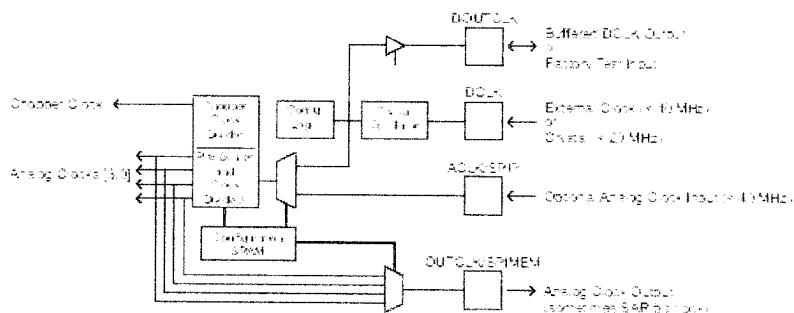


Figura 3.7. Reloj del sistema.

### 3.2.2 Arquitectura switched-capacitor

Generalmente, en los circuitos s/c están compuestos por un banco de condensadores que están conectados paralelamente y dependiendo de la combinación adecuada se obtiene el valor del condensador deseado. El número de posibles valores del condensador sólo está limitado por el banco y el tamaño de este, como muestra en la figura 3.8 siguiente [14]:

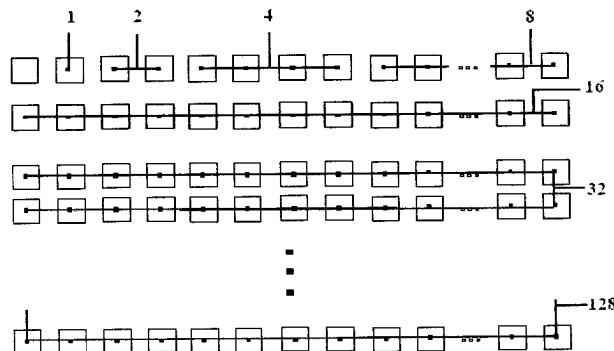


Figura 3.8. Organización esquemática de un banco de condensadores.

En la figura 3.8, los cuadrados representan condensadores con un tamaño u. Su número define el tamaño máximo de condensadores que puede llevarse a cabo usando un solo banco. Dependiendo de la combinación posible se obtiene el valor deseado del condensador a utilizar, 1u, 2u, 4u, 8u, 16u, 32u,....

El banco consiste en 256 condensadores de su unidad respectiva (u) y se establece que la combinación más grande es 128u. En total, podemos comprender que el condensador en su totalidad está entre un valor de 1u hasta 255u. Se realiza esta configuración para así mantener la simetría cuadrada del todo el esquema de banco de condensador.

**Tecnología.** Los FPAs están conformados por una tecnología CMOS que utiliza interruptores dinámicos y estáticos. Esta tecnología es muy económica en el consumo de la potencia y también reduce en su totalidad la penetración de ruidos externos, ver figura 3.9 [14].

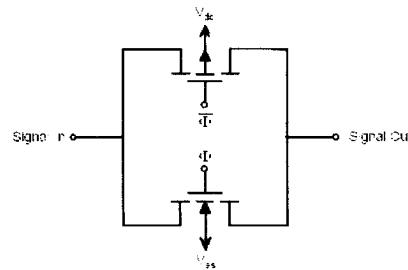


Figura 3.9. Switch CMOS

**Técnica de switch por condensadores.** El circuito opera como un sistema de señal discreta sin el uso de convertidores A/D o D/A. Esta técnica es más fácil que se analice con la teoría que abarca la transformada Z.

**Conceptos básicos de la técnica de switch.** Los fundamentos que intervienen en esta técnica, está basada en la conmutación periódica de un elemento capacitor C, entre dos terminales, que equivalen a un elemento resistivo por su impedancia vista entre estos, ver figura 3.10.

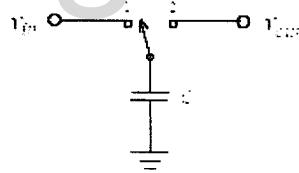


Figura 3.10. Circuito básico s/c.

Según la figura 3.10, se observa que cuando el interruptor se cierra en la posición 1 se carga el condensador con el voltaje aplicado  $V_{in}$ , quedando con  $Q_1 = CV_{in}$ . Cuando cambia el interruptor a la posición 2 la carga del condensador cambia  $Q_2 = CV_{out}$ .

Para entender el sistema general del cambio periódico que ocurre en el condensador referente a la entrada y salida hacemos lo siguiente según la ecuación 3.1.

$$\Delta Q = Q_1 - Q_2 = C(V_{in} - V_{out}) \quad 3.1$$

Si relacionamos la variación de la carga en un periodo establecido, respecto a al flujo de corriente obtenemos la ecuación 3.2.

$$i = \frac{\Delta Q}{T} = \frac{C(V_{in} - V_{out})}{T} \quad 3.2$$

Y para obtener la relación de resistencia respecto a la carga y el tiempo de conmutación, procedemos a utilizar la ecuación 3.3.

$$R = \frac{T}{C} \quad 3.3$$

### 3.2.3 Circuitos conmutados s/c

**Integrador no inversor.** La salida depende de las condiciones de fase, ver figura 3.11, de la configuración de la conmutación de los interruptores a la entrada del amplificador [14].

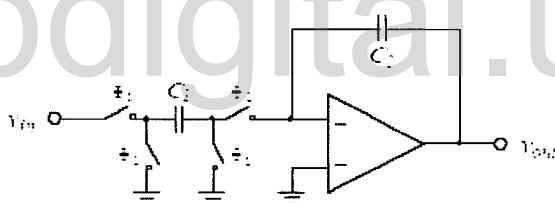


Figura 3.11. Circuito no inversor integrador.



Figura 3.12. Fases y conmutación de los interruptores.

Al referenciar la figura 3.12, podemos decir que se obtiene en la salida un voltaje  $V_{out}(nT - T)$ , de acuerdo a la siguiente secuencia de posiciones establecidas por los interruptores  $\phi_1$  Y  $\phi_2$ .

Si se cierra el interruptor  $\phi_1$  y se abre  $\phi_2$  se carga el condensador  $C_1$  en un valor  $C_1 V_{in}(nT - T)$ , y su vez en un periodo establecido se cierra el  $\phi_2$  y se abre  $\phi_1$  se carga la energía del condensador  $C_1$  al condensador  $C_2$  un valor de  $C_2 V_{out}(nT - T)$ , todos estos cambios se efectúan de acuerdo del tiempo  $(nT - T)$ .

Al realizar en un tiempo de muestras constantes en el tiempo, podemos afirmar que la carga total del sistema esta representada con la siguiente ecuación 3.4.

$$C_2 V_{out}(nT) = C_2 V_{out}(nT - T) + C_1 V_{in}(nT - T) \quad 3.4$$

Al dividir  $C_2$  en la ecuación 3.4 y aplicar los conceptos de la transformada Z se obtiene la ecuación 3.5.

$$V_{out}(z) = Z^{-1} V_{out}(z) + \frac{C_1}{C_2} Z^{-1} V_{in}(z) \quad 3.5$$

Por consiguiente realizando la función de transferencia del circuito nos resulta la ecuación 3.6.

$$H(z) = \frac{V_{out}(z)}{V_{in}(z)} = \frac{C_1}{C_2} \frac{Z^{-1}}{1 - Z^{-1}} \quad 3.6$$

**Integrador inversor.** Con la misma metodología propuesta en el anterior circuito procedemos abordar este proceso, presentado en la figura 3.13.

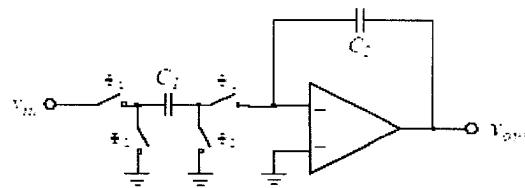


Figura 3.13. Integrador inversor.

De la misma forma para obtener la ecuación 3.4 procedemos a realizar la ecuación 3.7.

$$C_2 V_{\text{out}}(nT) = C_2 V_{\text{out}}(nT - T) - C_1 V_{\text{in}}(nT - T) \quad 3.7$$

Y análogo al procedimiento de la ecuación 3.6 se efectúa la ecuación 3.8.

$$H(z) = \frac{V_{\text{out}}(z)}{V_{\text{in}}(z)} = -\frac{C_1}{C_2} \frac{z^{-1}}{1 - z^{-1}} \quad 3.8$$

La siguiente figura 3.14 [14], se resume la concesiones de los s/c.

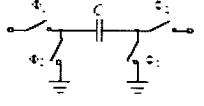
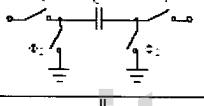
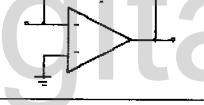
unswitched capacitor		$\frac{1}{C}$
negative resistor		$1/z^{-1}$
positive resistor		$C$
integrator		$-\frac{1}{C} \frac{1}{1 - z^{-1}}$

Figura 3.14. Configuraciones de s/c

### 3.2.4 Elementos CAM Utilizados

Los módulos análogos configurables “CAM”, son los encargados de hacer las funciones específicas para que una señal de un sensor sea transformada y llevada a niveles que se pueda trabajar en un ambiente determinado, los CAM que se utilizaron en el campo del acondicionamiento de señal en este proyecto desde el punto de vista técnico y conceptual, son los siguientes [13]:

- Módulo de Amplificación.
- Módulo Sumador.
- Módulo Compensador.

- Módulo Retenedor.
- Módulo de Filtrado.
- Módulo de Generación de señal.
- Módulo de entrada.
- Módulo de salida.

**Módulo de Amplificación.** Su función principal es el de amplificar la señal de entrada, a través de una ganancia establecida, existen las siguientes configuraciones como el cambio de fase, inversión de polaridad y simple fase de entrada como se ve en la Figura 3.15:



Figura 3.15. Módulo de Ganancia.

La ganancia se establece a través de la siguiente tabla que relaciona la frecuencia de corte con el límite máximo de ganancia, ver Tabla 3.4 [13].

Parámetro del CAM			
Ganancia	0.01 – 1.049 V/V 0.01 – 31.78 V/V 0.01 – 100.0 V/V	@ Fc = 4 MHz @ Fc = 250 kHz @ Fc = 50 kHz	Relación del valor de la frecuencia de corte y el límite máximo de la ganancia

Tabla 3.4. Parámetro de ganancia y frecuencia.

#### Circuito interno y Ecuaciones de diseño del CAM

La función de transferencia del circuito es:

$$\frac{V_{out}}{V_{in}} = \pm G$$

Los valores de los capacitores de la Figura 3.16, están basados según la siguiente relación y también la secuencia para la commutación de los suiches S1, S2, S3 como se ve en la tabla 3.5:

$$G = \frac{C_1}{C_2}$$

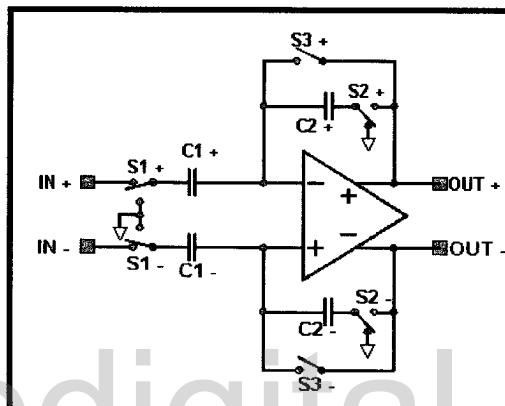


Figura 3.16. Circuito interno del CAM de amplificación.

Commutación de Suiches				
Polaridad	Muestreo de Entrada	S1	S2	S3
No-Invertir	Fase 1	$\Phi_1$	$\Phi_2$	$\Phi_1$
No-invertir	Fase 2	$\Phi_2$	$\Phi_1$	$\Phi_2$
Invertir	Fase 1	$\Phi_1$	$\Phi_1$	$\Phi_2$
Invertir	Fase 2	$\Phi_2$	$\Phi_2$	$\Phi_1$

Tabla 3.5 Commutación de suiches.

**Módulo Sumador.** Su función es el de sumar las entradas y así obtener un valor único en la salida, las configuraciones de cambio de polaridad e inversión de fase se presentan en la figura 3.17.

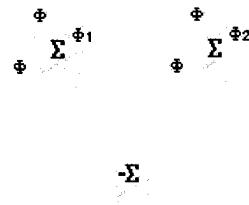


Figura 3.17. Módulo sumador.

La ganancia se establece a través de la siguiente tabla que relaciona la frecuencia de corte con el límite máximo de ganancia, ver Tabla 3.6.

Parámetro del CAM			
Ganancia	0 – 1.049 V/V 0 – 31.78 V/V 0 – 100.0 V/V	@ Fc = 4 MHz @ Fc = 250 kHz @ Fc = 50 kHz	La ganancia de límite superior es una función de la frecuencia de reloj

Tabla 3.6. Parámetros del Sumador.

### Círcuito interno y Ecuaciones de diseño del CAM

La función de transferencia del circuito es:

$$V_{out} = \pm G_1 V_{input1} \pm G_2 V_{input2} \pm G_3 V_{input3} \pm G_4 V_{input4} \quad 3.9$$

Los valores de los capacitores de la Figura 3.18, están basados según la siguiente relación y también se presentan las secuencias de los suiches de conmutación según la tabla 3.7:

$$\begin{aligned} G_1 &= \frac{C_1}{C_s} & G_2 &= \frac{C_2}{C_s} \\ G_3 &= \frac{C_3}{C_s} & G_4 &= \frac{C_4}{C_s} \end{aligned} \quad 3.10$$

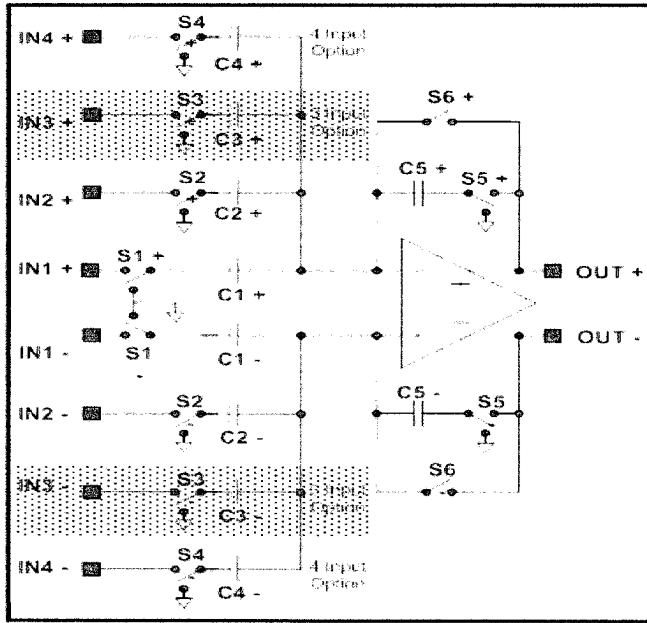


Figura 3.18. Circuito interno del CAM sumador.

Commutación de suiches						
Fase de salida	S1	S2	S3	S4	S5	S6
Fase 1	Φ2 Si Inp1 es No-invertida	Φ2 Si Inp2 es No-invertida	Φ2 Si Inp3 es No-invertida	Φ2 Si Inp4 es No-invertida	Φ1	Φ2
	Φ1 Si Inp1 es Invertida	Φ1 Si Inp2 es Invertida	Φ1 Si Inp3 es Invertida	Φ1 Si Inp4 es Invertida		
Fase 2	Φ1 Si Inp1 es No-invertida	Φ1 Si Inp2 es No-invertida	Φ1 Si Inp3 es No-invertida	Φ1 Si Inp4 es No-invertida	Φ2	Φ1
	Φ2 Si Inp1 es Invertida	Φ2 Si Inp2 es Invertida	Φ2 Si Inp3 es Invertida	Φ2 Si Inp4 es Invertida		

Tabla 3.7. Commutación de suiches para el sumador.

**Módulo de Compensación.** Su función principal es el de compensar los niveles de tensión que equilibran los factores externos que afectan a los sensores en el proceso de calibración inicial y final, como se ve en la Figura 3.19:



Figura 3.19. Módulo de Compensación.

Los niveles de tensión del CAM compensador es presentan en la siguiente Tabla 3.8 [13].

Polaridad del CAM		
Positivo		La tensión de salida es de 3 V
Negativo		La tensión de salida es de -3 V

Tabla 3.8. Polaridad del CAM Compensador.

#### Círculo interno y Ecuaciones de diseño del CAM

El circuito interno es simplemente una fuente y las ecuaciones de diseño no tiene nada que ver con condensadores ni suiches dinámicos.

**Módulo de Retención.** Su función es el de sostener y los valores de salida de la función amplificada, las configuraciones de inversión de fase se presentan en la figura 3.20.



Figura 3.20. Módulo sumador.

#### Círculo interno y Ecuaciones de diseño del CAM

Los valores de los condensadores que determinan la composición de este CAM tienen un valor establecido de 255 unidades y para obtener las diversas fases se debe tener en cuenta las combinaciones posibles de los suiches dinámicos como se ven en la Tabla 3.9, y Figura 3.21.

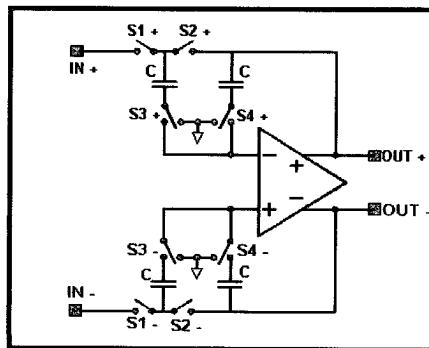


Figura 3.21. Circuito del CAM Retenedor.

Suiches para las Fases				
Muestra de entrada	S1	S2	S3	S4
Fase 1	$\Phi_1$	$\Phi_2$	$\Phi_2$	$\Phi_1$
Fase 2	$\Phi_2$	$\Phi_1$	$\Phi_1$	$\Phi_2$

Tabla 3.9. Combinación de Suiches de Retención.

**Módulo de Filtrado.** La función de este módulo es el de filtrar la señal de salida de los módulos de retención o amplificación teniendo en cuenta la frecuencia del procesos en estudio, las configuraciones de cambio de polaridad e inversión de fase se presentan en la figura 3.22.

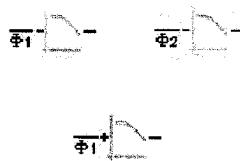


Figura 3.22. Módulo de Filtrado pasa-bajos.

La ganancia se establece a través de la siguiente tabla que relaciona la frecuencia de corte con el límite máximo de ganancia, ver Tabla 3.10.

Parámetros del CAM de Filtrado			
Frecuencia de corte	4.0 – 400.0 kHz 0.25 – 25.0 kHz 0.05 – 5.0 kHz	@ $F_c = 4$ MHz @ $F_c = 250$ kHz @ $F_c = 50$ kHz	El límite absoluto es $F_c/1000$ a $F_c/10$ .
Ganancia	0.011 – 20.0 V/V		Límite de la ganancia

Tabla 3.10. Parámetros del Filtro.

### Círculo interno y Ecuaciones de diseño del CAM

La función de transferencia del circuito es:

$$\frac{V_{out}(s)}{V_{in}(s)} = \pm \frac{2\pi f_0 G}{s + 2\pi f_0} \quad 3.11$$

Los valores de los capacitores de la Figura 3.23, en están basados según la siguiente relación y la conmutación de los suiches según la Tabla 3.11:

$$f_0 = \frac{f_t}{\pi} \frac{C_3}{(2C_2 + C_3)} \quad 3.12$$

$$G = \frac{C_1}{C_3} \quad 3.13$$

Comutación de Suiches		
S1	S2	S3
$\Phi 1$	$\Phi 2$	$\Phi 2$

Tabla 3.11. Comutación de suiches de filtrado.

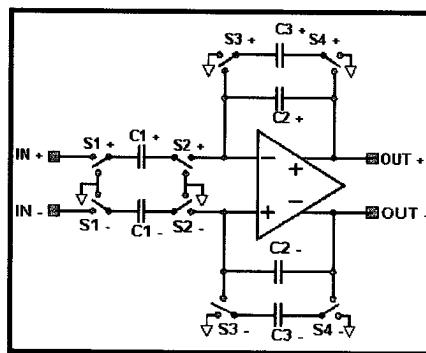


Figura 3.23. Circuito interno del CAM de Filtrado.

**Módulo de Generación de señal.** La función de este módulo es la de proporcionar la energía alterna a los sensores que dependan de la excitación externa. En este módulo se

debe tener en cuenta la frecuencia del proceso en estudio, las configuraciones de amplitud, se presentan en la figura 3.24.



Figura 3.24. Módulo de Generación.

La frecuencia de oscilación y la amplitud de la onda se establecen a través de la siguiente tabla que relaciona la frecuencia de corte con el límite máximo de ganancia, ver Tabla 3.12.

Parámetros del CAM de Generación			
Frecuencia de Oscilación	40.0 – 800 kHz 2.50 – 50.0 kHz 0.50 – 10.0 kHz	@ Fc = 4 MHz @ Fc = 250 kHz @ Fc = 50 kHz	El límite absoluto de la frecuencia de oscilación es Fc/100 a Fc/5.
Amplitud Pico	0.45 – 4.0 V		El valor pico de tensión está interrelacionada con la frecuencia de oscilación

Tabla 3.12. Parámetros del Generador.

### Circuito interno y Ecuaciones de diseño del CAM

Los valores de los capacitores de la Figura 3.13, están basados según la siguiente relación y la conmutación de los suiches según la Tabla 3.10:

$$f_{osc} = \frac{f_c}{2\pi} \sqrt{\frac{C_2 C_3}{C_A C_B}} \quad A = \frac{360}{\pi} \frac{C_1}{C_2} \quad 3.14$$

Comutación de los suiches							
S1	S2	S3	S4	S5	S6	S7	S8
$\Phi 2$ if $V_X > 0$ $\Phi 1$ if $V_X < 0$	$\Phi 1$	$\Phi 2$	$\Phi 1$				

Tabla 3.13 Comutación de suiches para el generador.

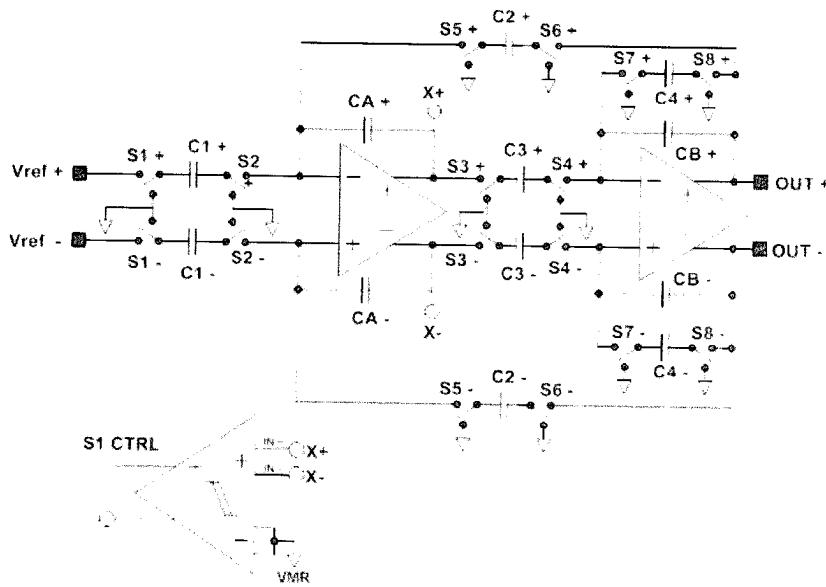


Figura 3.25. Circuito interno del CAM Generador.

**Módulo de salida.** La celda de salida se compone en su estructura de terminales diferenciales  $V_{\text{diferencial}}$  o por sus componentes positivo y negativo o por sus componentes en modo común  $V_{\text{MC}}$  esto se puede representar por la siguiente ecuación (3.15, 3.16).

$$V_{\text{diferencial}} = V_{\text{positivo}} - V_{\text{negativo}} \quad 3.15$$

$$V_{\text{MC}} = \frac{V_{\text{positivo}} + V_{\text{negativo}}}{2} \quad 3.16$$

La celda de salida se compone de recursos como son el Bypass, Voltaje de salida y salida digital.

### Salida en Voltaje

Ver figura 3.26, el módulo se compone de un filtro en tiempo continuo y de dos simple polo. El filtro elimina componentes de frecuencias altas oscilando entre 76 a 470 kHz. Este estado se puede establecer de acuerdo a su programación de acuerdo a la señal de trabajo.



Figura 3.26. Salida en Voltaje.

### Bypass

Ver figura 3.27, este modulo es un enrutador directo del sistema interno a la salida de la celda, genera un camino alterno (bypass) para todo elemento que se encuentra en la salida.

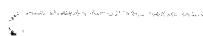


Figura 3.27. Bypass de la celda de salida.

### Salida digital

Ver figura 3.28, conecta el comparador de la celda de salida con la señal diferencial digital.



Figura 3.28. Salida digital de la celda de salida.

**Módulo de entrada.** La celda de entrada se compone en su estructura de terminales diferenciales  $V_{diferencial}$  o por sus componentes positivo y negativo o por sus componentes en modo común  $V_{MC}$  esto se puede representar por la siguiente ecuación (3.15, 3.16).

La celda de entrada se componen de recursos como son Entrada, Salida, Entrada diferencial y simple, Amplificador Chopper y Amplificación, Filtro anti-alias.

### Entrada

Ver figura 3.29, este módulo encamina la entrada sin ninguna perturbación hacia la celda de entrada, este módulo genera un camino alterno (bypass) para cualquier elemento que se encuentra en la entrada, pero la señal puede ser  $V_p$ ,  $V_n$ , y modo común.



Figura 3.29. Entrada en la celda de entrada.

### Salida

Ver figura 3.30, este módulo se convierte en una salida en la celda de entrada con el objetivo de generar señal a diversos sistemas externos.

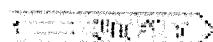


Figura 3.30. Salida en la celda de entrada.

### Entrada diferencial compuesta o simple, anti - alias

Ver figura 3.31, la señal de entrada es la diferencia de voltaje aplicados a las dos terminales de entrada puede ser compuesta o simple (terminal a tierra), se conforma de una amplificador y un filtro pasa bajo, la frecuencia de trabajo es de 76 hasta 470 kHz.



Figura 3.31. Salida diferencial y simple de la celda de entrada.

### Amplificador Chopper

Ver figura 3.32, el amplificador Chopper tiene a la entrada una componente o offset pequeño aproximadamente de  $100 \mu\text{V}$ , el amplificador Chopper tiene en su característica fundamental una impedancia de entrada muy alta, y el fin es amplificar señal muy débiles a la entrada (Efecto del termopar). El amplificador esta gobernado por el reloj del sistema y un filtro interno que atenúa cualquier alteración en la entrada, la ganancia de este módulo es de 16 hasta 128 V/V.



Figura 3.32. Salida digital de la celda de salida.

### 3.2.5 Software Anadigm

La herramienta de segunda generación de AnadigmDesigner®2 EDA, [13] de Anadigm® permite diseñar e implementar circuitos análogos. Consiste en implementar el circuito de prueba en el ambiente Anadigm, utilizando los componentes módulos análogos configurables “CAMs”, que tiene la particularidad de cambio de condiciones de diseño, con los cuales se forman los respectivos bloques que componen el circuito de prueba, después de montar el circuito de prueba en el ambiente Anadigm se simula a través de un simulador funcional en el dominio del tiempo que nos permite determinar el comportamiento del circuito de prueba, el siguiente paso es de cargarlo en el circuito integrado FPAAs, por medio de la comunicación RS232 y después se valida el circuito de prueba, dando como resultado un producto de grandes ventajas tanto económicas como técnicas.

Esta herramienta se puede utilizar en toda la gama de la familia Anadigm ANx20E04 y ANx21E04.

**Interfaz del usuario.** AnadigmDesigner®2 presenta al usuario con un interfaz intuitiva. En ella se establece criterios de manipulación, flexibilidad y comodidad para la manipulación del circuito a trabajar, ver figura 3.33, [13].

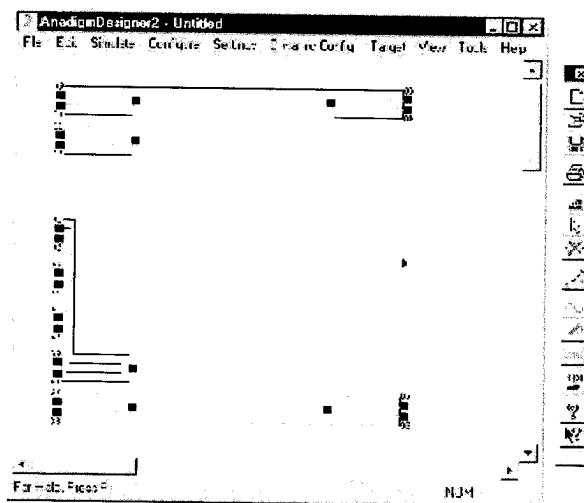


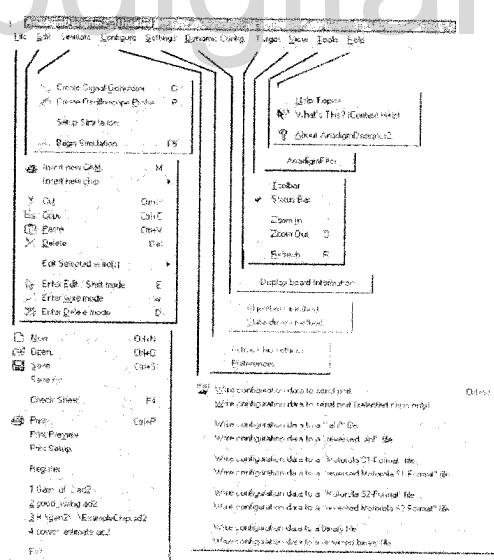
Figura 3.33. Interfaz de Anadigm.

**Botones de comando.** Son las funciones más usadas del software y se encuentra en la barra de menú pull-down, ver figura 3.34. Este menú se puede ejecutar esta utilizando el mouse (Function) o con el teclado (Shortcut).

**Menú de barra principal y superior.** En esta barra se encuentra la administración directa del sistema con la herramienta de control, ver figura 3.35.

Shortcut	Function
Ctrl+N	New
Ctrl+O	Open
Ctrl+S	Save
Ctrl+P	Print
m	Get New CAM
e	Edit / Shift / Move
d	Delete Wires - CAMs
w	Draw Wires
g	Create Signal Generator
f	Create Oscilloscope Probe
F5	Begin Simulation
Ctrl-W	Download Configuration Data
none	About
F1	Help

Figura 3.34. Menú de comandos.



1. Definición de las especificaciones y requerimientos del circuito a prueba.
2. Diseño del circuito análogo.
3. Implementación del diseño del circuito análogo utilizando la herramienta Anadigm.
4. Simulación del diseño del circuito análogo aplicando la herramienta de Anadigm.
5. Prueba del circuito final.

Al realizar los item 1 y 2 de la metodología propuesta obtenemos como resultado un CIRCUITO DE PRUEBA, que tomaremos como referencia para la continuación con el item 3. En el siguiente apartado presentaremos el procedimiento del desarrollo de la herramienta Anadigm.

#### **Implementación y simulación del circuito de prueba utilizando la herramienta informática Anadigm.**

Después que se aplica NEW, aparece en pantalla el ambiente de trabajo presentado en la Figura 3.33. A continuación se procede a introducir los elementos que van a soportar el diseño en estudio, estos están representados por medio de los CAMs.

El procedimiento es, primero se abre el menú principal EDIT, ver Figura 3.36 y a continuación se aplica el “Insert new CAM”, donde aparece la familia de los FPAs “Anx20 Standard” y se ubica el CAM a utilizar con el mouse dando Create CAM, ver Figura 3.37, este a su vez se inserta en el ambiente de trabajo.

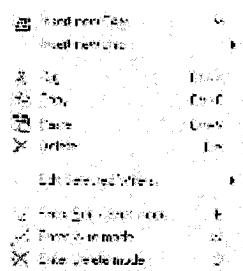


Figura 3.36. Menú EDIT.

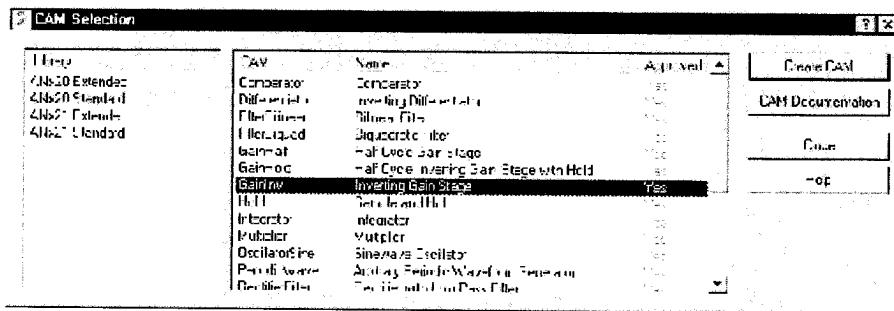


Figura 3.37. Selección del CAM.

Para colocarles las características propias (ganancia, frecuencia de corte), del elemento de trabajo según el diseño, tenemos que darle doble clic al CAM, resultando la siguiente Figura 3.38.

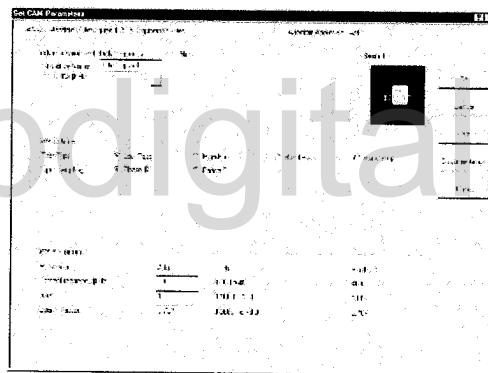


Figura 3.38. Propiedades de los CAM.

Después de repetir la misma secuencia de los CAMs, según el diseño de trabajo, se procede hacer uniones de los CAMs, a través de “Connect Wire” según Figura 3.39 y Figura 3.40.

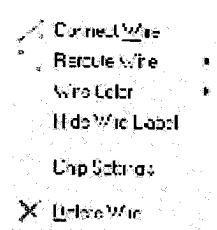


Figure 3.39. Conexión de los CAM.

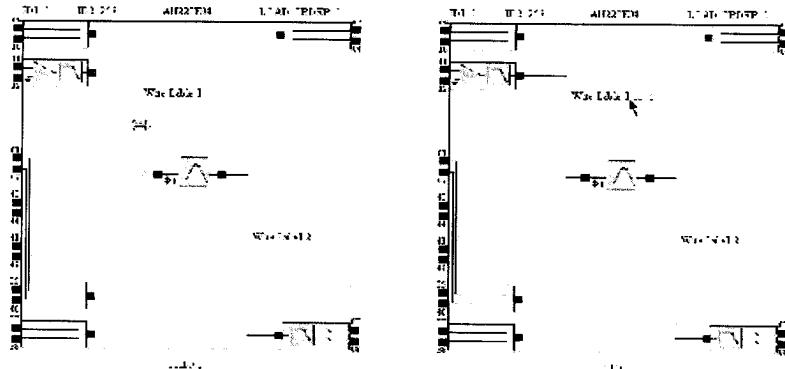


Figura 3.40. Muestra de unión de CAMs.

Después que se implementa el circuito de prueba en el ambiente de la herramienta Anadigm, se procede a realizar la simulación para ajustar más al mundo real el circuito de prueba. A continuación se dispone de un circuito de prueba de filtrado y amplificación para una determinado aplicación, en él, se coloca una fuente o generador de funciones, ver Figura 3.41, según el menú de selección “Simulate – Create signal Generator”.

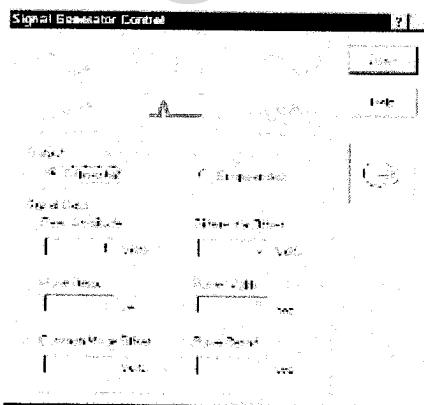


Figura 3.41. Generador de funciones.

También se introduce un sistema de visualización para dar una representación virtual, que tiene como principio el de un osciloscopio, este sistema de visualización se invoca de acuerdo a un menu “Simulate – Create Oscilloscope Probe”. Quedando el circuito de prueba de la siguiente manera, según Figura 3.42, con la fuente de generación y la puntas de pruebas para visualizarlo en un panel según Figura 3.42.

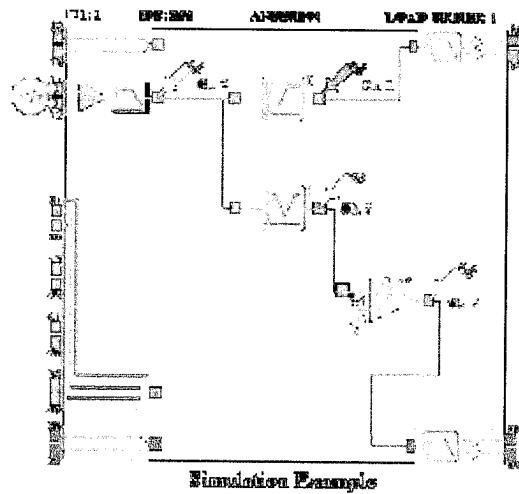


Figura 3.42 Circuito de prueba.

Después que se inserta el generador de señal y las puntas de pruebas para la visualización se procede a simular el circuito de prueba según el siguiente procedimiento “Setup Simulation”, dándole los tiempos de ejecución de la simulación como se presentan en la Figura 3.43.

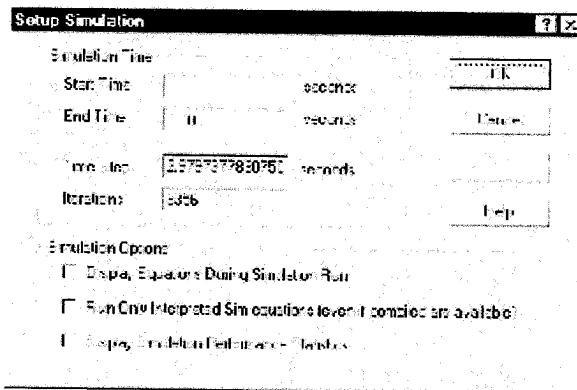


Figura 3.43. Valores de inicialización de la simulación.

Por último se simula con los intervalos de tiempo estipulados para esta aplicación, dando como resultado la siguiente Figura 3.44.

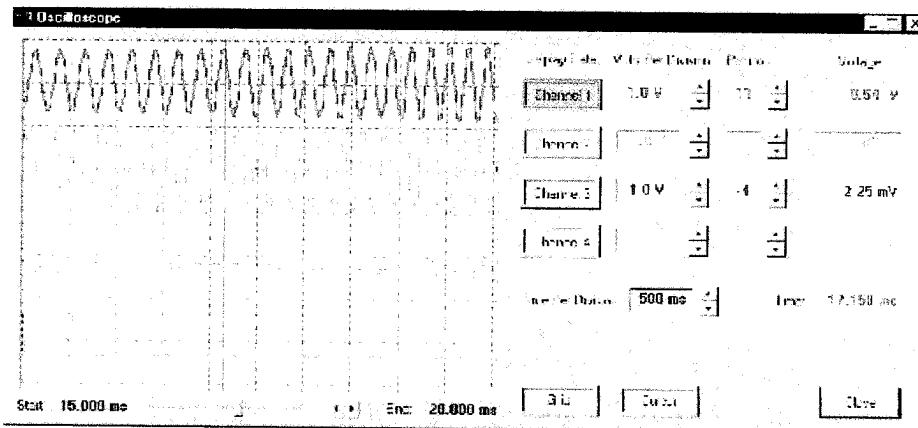


Figura 3.44. Visualizador de prueba.

A continuación se realizará la presentación de las Figuras 3.45, 3.46, que nos representa la configuración del chip FPAA. Y por último tenemos las preferencias que corresponde a la comunicación de PC con la tarjeta de desarrollo, teniendo en cuenta las características del puerto RS232, Chip, Conexiones y los CAMs, ver Figura 3.47.

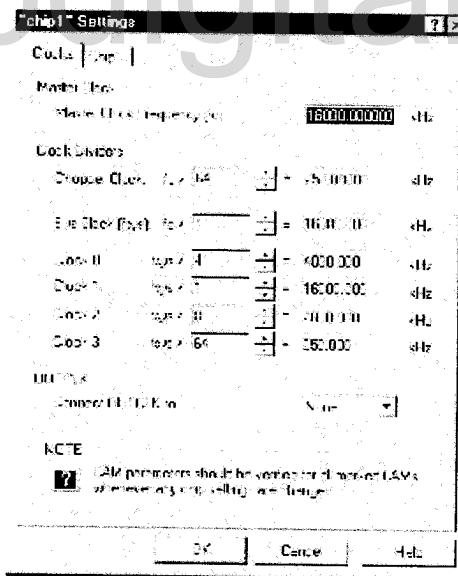


Figura 3.45. Características del reloj del Chip.

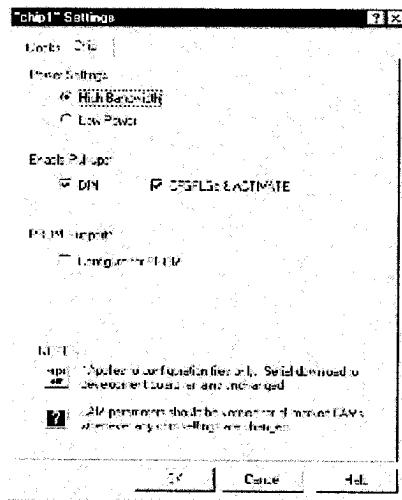


Figura 3.46. Características del Chip.

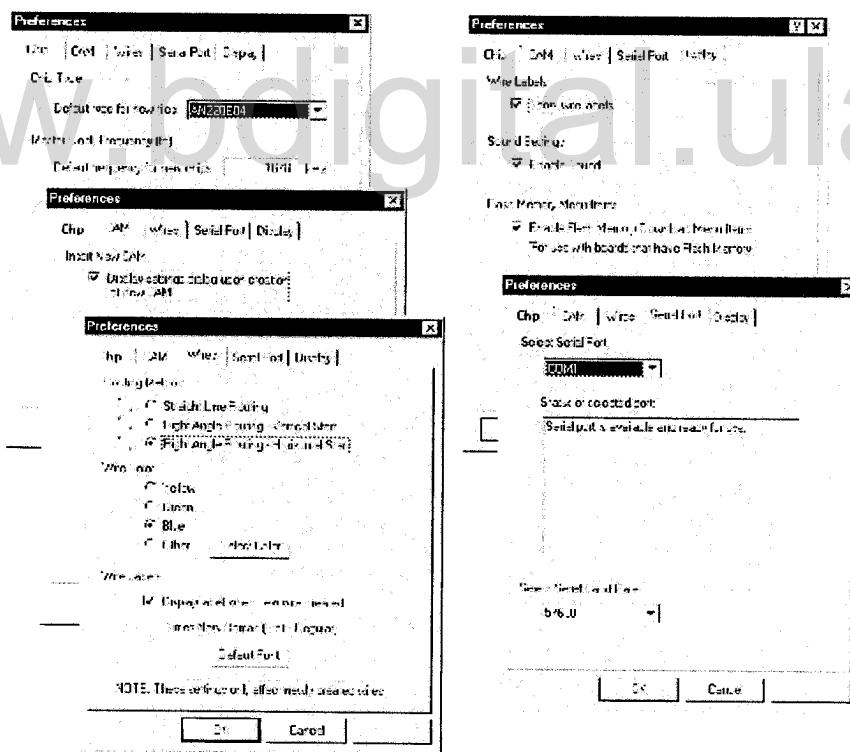


Figura 3.47 Preferencias generales de los FPAAs.

## CAPITULO IV

### DISEÑO E IMPLEMENTACION DEL PROTOTIPO

A continuación se realizará el procedimiento para el diseño e implementación del prototipo, el que está conformado por cuatro etapas [9], ver Figura 4.1, estas son:

- Etapa de dispositivos de sensado.
- Etapa de acondicionamiento de señal.
- Etapa de adquisición y comunicación de datos.
- Etapa de monitoreo.

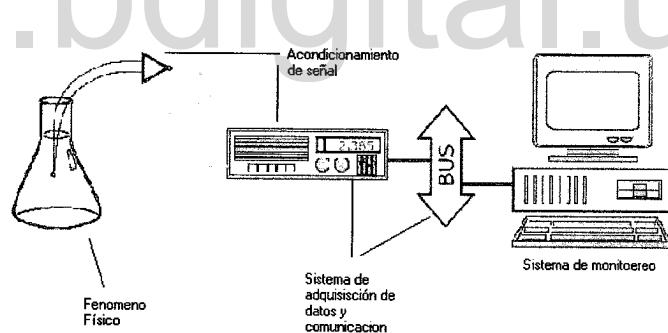


Figura 4.1. Etapas del Prototipo.

#### 4.1 Etapa sensado

Esta etapa se presenta en el capítulo 2, con sus conceptos básicos y características predominantes en lo concerniente a los sensores que se tendrán en cuenta en este prototipo [8] como son:

- RTD
- Termopares

- Celda de carga
- LVDT

## 4.2 Etapa de acondicionamiento de señal

En este ítem se diseñan e implementan los acondicionadores de señal de los sensores mencionados anteriormente, con el soporte de la herramienta que utiliza la tecnología Anadigm, orientados a los circuitos análogos FPAs.

### 4.2.1 Acondicionador para el sensor RTD.

**Circuito externo de la FPAA.** Como es bien sabido que el sensor RTD, su principio físico consiste en la variación de la resistencia cuando existe una variación de temperatura. Esta variación de resistencia por si sola no tiene ninguna razón de ser, se debe acondicionar un circuito que permita observar las variaciones y así hacer que tenga un significado para poder analizar esa variación. El circuito que reúne las características de hacer posible el notar esta variación es el “Puente de Wheatstone”, teniendo también en cuenta la configuración externa del RTD, es decir, si el RTD es de dos hilos, de tres hilos o de cuatro hilos (Ítem 2.1.1). El RTD que nosotros poseemos para este prototipo es el de tres hilos, su representación es la siguiente, ver Figura 4.2.

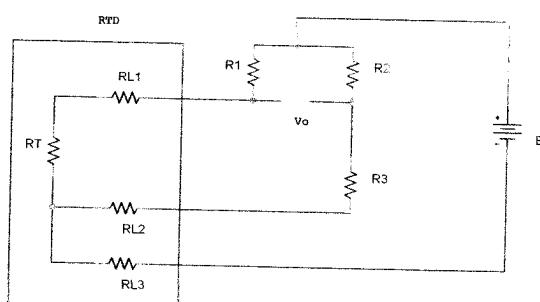


Figura 4.2 Puente Wheatstone de tres hilos.

Los valores de las resistencias que conforman el puente Wheatstone de la figura 4.2, se seleccionaron de acuerdo a la característica propia del RTD, es decir a 0 °C la resistencia

es de  $100 \Omega$ , y también por características de equilibrio del puente Wheatstone, estos valores son:

$R1 = R2 = R3 = 120 \Omega$ . Por existencia en el mercado.

Las resistencias propias del cable de extensión del RTD:

$RL1 = 0.1 \Omega$  y  $RL2 = RL3 = 0.1 \Omega$ .

El valor seleccionado para la alimentación de energía para el puente wheatstone, se debe a las características del prototipo, es decir la FPAA y el microcontrolador, que necesitan 5 V para su funcionamiento normal, entonces se escogió:

$E = 5 \text{ V}$ .

**Circuitos internos de la FPAA.** Al suministrar la tensión E al puente wheatstone se obtiene un salida de tensión  $V_o$  del orden (1 mV a 14 mV), esta señal se conecta al puerto diferencial de la entrada de la FPAA AN220E04 Anadigm (Pines 11, 12) y se obtiene una señal de salida linealizada de la FPAA (Pines 3, 4), amplificada a un nivel de 0 a 4 V.

El procedimiento para el diseño e implementación del acondicionamiento de señal de un RTD es el siguiente:

- **Etapas que conforman un acondicionamiento de señal de un RTD.**

Las etapas que lo conforman se mencionaron en el ítem 2.1.2 y son las siguientes:

Filtro en la celda de entrada.

Amplificador de ganancia.

Retenedor.

Filtro en la celda de salida.

- **Implementar las etapas del acondicionamiento de señal, utilizando la herramienta informática del software de Anadigm, como se presenta en la figura 4.3.**

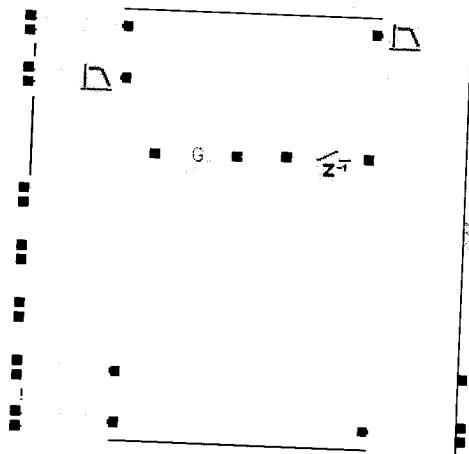


Figura 4.3. Acondicionamiento de señal para un RTD.

- **Diseño de las etapas con la información suministrada por las características propias de las condiciones de medidas.**

### Condiciones de medida

Para 100 °C se tiene un valor de tensión de salida del puente de wheatstone de 200 mV.

La señal de salida de la FPAA para los 100 °C debe ser de 4 V.

La frecuencia propia del sistema de la señal de entrada al FPAA es de 4 Hz.

La frecuencia de muestreo por criterios del teorema del muestreo, debe ser mayor de 20 veces la frecuencia propia del sistema [12], ( $20 \times 4 \text{ Hz} = 80 \text{ Hz}$ ), se escogió en la FPAA una valor de 100 Hz.

### Diseño de las etapas

#### Filtro de entrada pasa-bajos



Figura 4.4. Filtro de entrada pasa-bajos.

La selección de la frecuencia de corte se realiza por condiciones propias de este filtro en la entrada de la celda, es decir, este filtro tiene un rango de 76 a 470 kHz, se escogió el rango menor de 76 kHz, además no afecta a la frecuencia de entrada por ser de 4 Hz, pero elimina frecuencia de orden mayor de 76 kHz.

### **Amplificador de ganancia**



Figura 4.5 Amplificador de Ganancia.

Para hallar la ganancia del amplificador se debe hacer lo siguiente:

$$G = \frac{V_o}{V_i} = \frac{4 \text{ V}}{200 \text{ mV}} = 20$$

### **Retenedor**



Figura 4.6 Retenedor.

Nota: Cuando se conectan los CAMs en el ambiente del software Anadigm se debe tener mucho cuidado con las fases de cada elemento  $\phi_1$  o  $\phi_2$ .

### Filtro de salida pasa-bajos.



Figura 4.7. Filtro de salida pasa-bajos.

La selección de la frecuencia de corte se realiza por condiciones propias de este filtro en la salida de la celda, es decir, este filtro tiene un rango de 76 a 470 kHz, se escogió el rango menor de 76 kHz, además no afecta la frecuencia del proceso por ser de 4 Hz, pero elimina frecuencia de orden mayor de 76 kHz.

- **Introducir los valores correspondientes a los circuitos CAMs (ver figura 4.3) y se procede a la simulación, con el objetivo de ajustar las condiciones del sistema de medida.**

**Introducir valores**

A continuación se presentarán las características de los elementos que conforman el acondicionamiento de señal de un sensor RTD en el ambiente del software Anadigm.

Para el filtro de entrada pasa-bajos, ver Figura 4.8.

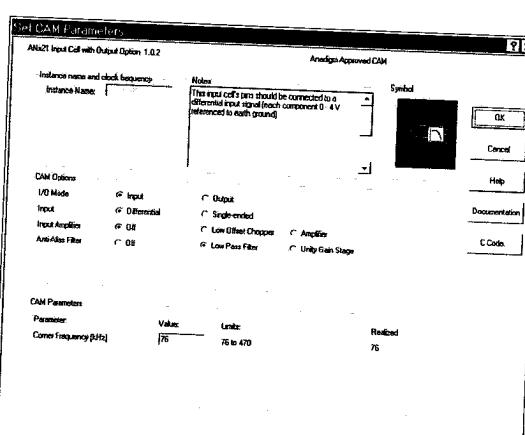


Figura 4.8. Características del filtro de entrada pasa-bajos.

Para la ganancia, ver Figura 4.9.

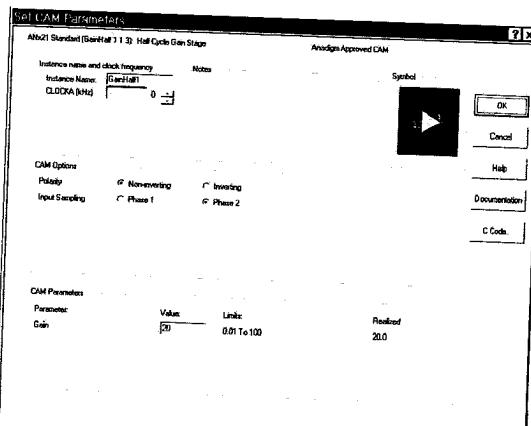


Figura 4.9. Características del proceso de ganancia.

Para el muestreo, ver Figura 4.10.

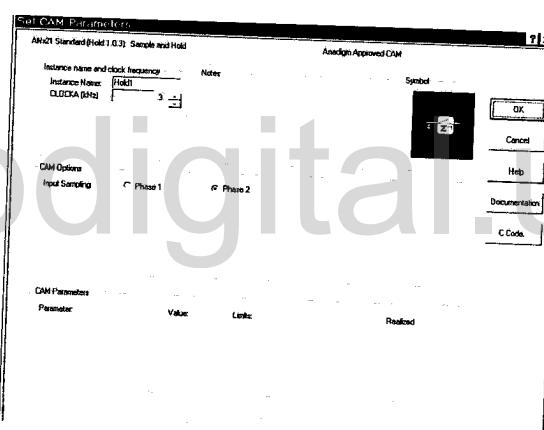


Figura 4.10. Característica del muestreo.

Para el filtro de salida pasa-bajos, ver Figura 4.11.

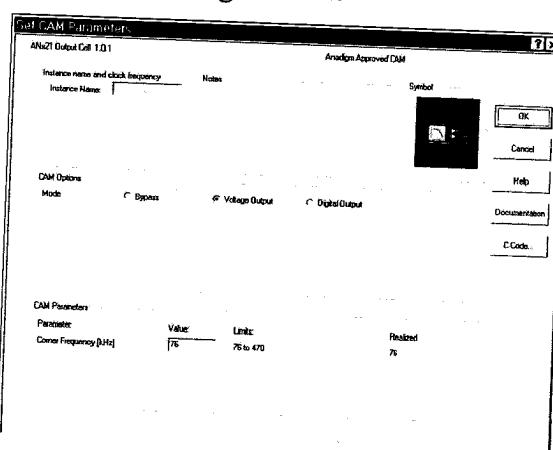


Figura 4.11. Características de filtro de salida pasa-bajos.

## Simulación

Se colocan la fuente que remplaza el valor de entrada (200 mV) y los visores o indicadores para ser mostrados en la ventana de simulación que proporciona la herramienta del software Anadigm, ver figura 4.12.

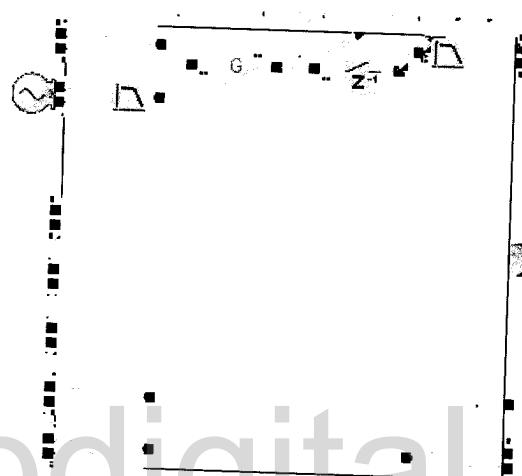


Figura 4.12. Ambiente del acondicionamiento de señal para ser simulado.

A continuación se presenta la ventana de simulación del acondicionador de señal de un RTD, con el objetivo de ajustar los valores de entrada con los valores de salida, como se ve en la figura 4.13.

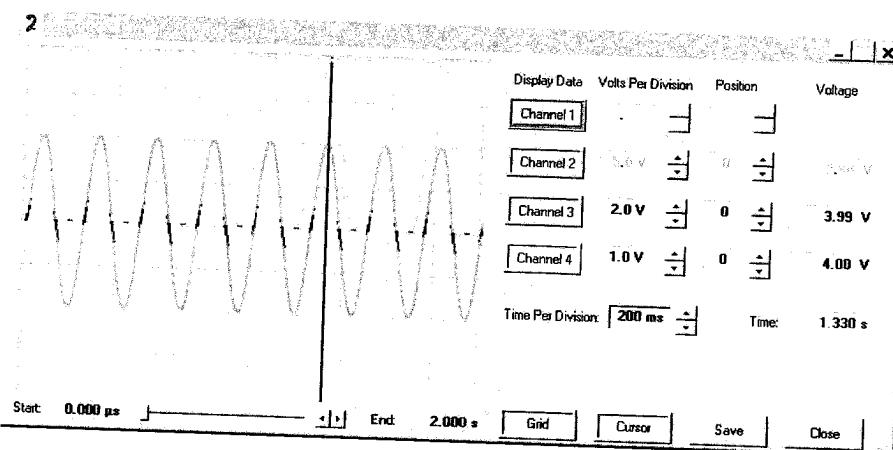


Figura 4.13. Ventana de simulación del acondicionador de señal de un RTD.

#### 4.2.2 Acondicionador para el Termopar.

El sensor de medición de temperatura, según los conceptos establecidos en el capítulo 2, del ítem 2.2.4, nos ilustra en forma precisa, que este sensor es un dispositivo, que detecta cualquier variación de temperatura del medio en observación y produce por si solo una tensión muy pequeña del orden de mV (0.1 mV hasta 4 mV) de acuerdo a la temperatura medida.

**Circuitos internos de la FPAA.** Al colocar el termopar tipo J se obtiene un salida de tensión  $V_o$  del orden (0.1 mV a 4 mV), esta señal se conecta al puerto diferencial de la entrada de la FPAA AN220E04 Anadigm (Pines 11, 12) y se obtiene una señal de salida linealizada de la FPAA (Pines 3, 4), amplificada a un nivel de 0 V a 4 V.

El procedimiento para el diseño e implementación del acondicionamiento de señal de un termopar es el siguiente:

- Etapas que conforman un acondicionamiento de señal de un termopar.

Las etapas que lo conforman se mencionaron en el ítem 2.2.4 y son las siguientes:

Chopper y filtro en la celda de entrada.

Amplificador de ganancia.

Amplificador comparador y ajuste de compensación.

Retenedor.

Filtro en la celda de salida.

- Programación de las etapas del acondicionamiento de señal utilizando la herramienta informática del software de Anadigm, como se presenta en la figura 4.14.

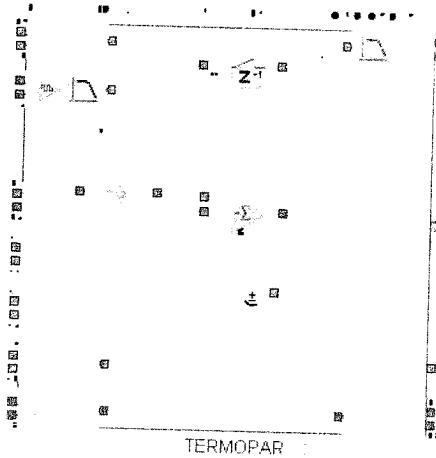


Figura 4.14. Etapas de acondicionamiento de señal de un sensor Termopar.

- **Diseño de las etapas con la información suministrada por las características propias de las condiciones de medidas.**

#### Condiciones de medida

Para 100 °C se tiene un valor de tensión de salida de 4 mV.

La señal de salida de la FPAA para los 100 °C debe ser de 4 V.

La frecuencia propia del sistema de la señal de entrada al FPAA es de 4 Hz.

La frecuencia de muestreo por criterios del teorema del muestreo, debe ser mayor de 20 veces la frecuencia propia del sistema [12], ( $20 \times 4 \text{ Hz} = 80 \text{ Hz}$ ), se escogió en la FPAA una valor de 100 Hz.

#### Diseño de las etapas

##### **Acoplador de la débil señal (Chopper) y filtro de entrada pasa-bajos.**

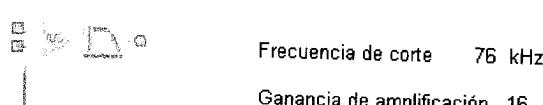


Figura 4.15. Chopper y Filtro pasa-bajos.

La selección de la frecuencia de corte se realiza por condiciones propias de este filtro en la entrada de la celda, es decir, este filtro tiene un rango de 76 a 470 kHz, se escogió el rango menor de 76 kHz, además no afecta a la frecuencia de entrada por ser de 4 Hz, pero elimina frecuencia de orden mayor de 76 kHz.

La amplificación del Chopper tiene por diseño valores de 16 hasta 128, escogimos 16 por ser un valor mínimo para que la amplificación no sea tan alta.

$$V_{o\_Chopper} = (V_i)(16) = (4 \text{ mV})(16) = 0.064 \text{ V} = 64 \text{ mV}$$

### Ganancia inversa.

Ganancia 31

Figura 4.16. Ganancia inversa.

### Comparador y ajuste de compensación de temperatura.

	Ganancia entrada superior	2.00
	Ganancia entrada inferior	0.01
	Voltaje de referencia	3 V

Figura 4.17. Comparador y ajuste de compensación de temperatura.

Para hallar las ganancias establecidas en los circuitos CAMs de amplificación, se aplica las siguientes ecuaciones y suposiciones:

$$G_1 = G_{01} = \frac{V_{ol}}{V_{o\_Chopper}} \quad 4.2$$

$$V_{02} = -(G_2 V_2) - (V_{ref} G_3) \quad 4.3$$

Pero:

$$V_2 = V_{o1} \wedge V_{ref} = -3 \text{ V} \wedge V_{o2} = 4 \text{ V} \wedge V_{o\_Chopper} = 0.064 \text{ V} \wedge G_3 = 0.01$$

### Suposición.

Se halla una ganancia total desde la entrada de amplificador (figura 4.16) hasta la salida del amplificador comparador (figura 4.17), teniendo en cuenta que la entrada de este amplificador es la misma que la salida del Chopper (figura 4.15) de  $V_{o\_Chopper} = 0.064 \text{ V}$  y la salida del amplificador comparador (figura 4.16) es de  $V_{o2} = 4 \text{ V}$ , entonces la ganancia:

$$G_T = \frac{V_{o2}}{V_{Chopper}} \quad 4.4$$

$$G_T = \frac{4 \text{ V}}{0.064 \text{ V}} = 62.5$$

Como la amplificación se compone de dos circuitos y uno de ellos es un amplificador puro  $G_{o1}$ , colocamos a este la ganancia de peso y el segundo circuito por ser comparador podemos dar el ajuste de la ganancia restante compartida en  $G_2 \wedge G_3$ .

Para hallar  $G_{o1}$  suponemos la ganancia de mayor peso haciendo lo siguiente, ver figura 4.16:

$$G_{o1} = \frac{G_T}{2} = \frac{62.5}{2} = 31.25 \text{ lo aproximamos a } 31$$

Al obtener el valor  $G_{o1}$  y teniendo el valor de la entrada  $V_{Chopper} = 0.064 \text{ V}$ , se introduce en la ecuación 4.2 dando como resultado el valor de tensión de salida  $V_{o1}$  del amplificador puro, luego se remplaza en la ecuación 4.3, con el objetivo de encontrar la ganancia  $G_2$ , en este proceso se conocen los valores de la tensión de salida del amplificador de comparación  $V_{o2} = 4 \text{ V}$ , la ganancia por compensación de la juntura fría (ajuste)  $G_3 = 0.01$  y el voltaje de referencia  $V_{ref} = 3 \text{ V}$  (establecido por el diseñador del

software). Con estos valores establecidos y remplazando en la ecuación 4.3 se obtiene el valor de la ganancia del amplificador comparador  $G_{alta} = G_2 = 2$ , ver figura 4.17.

### **Retenedor.**



Figura 4.18. Retenedor.

### **Filtro de salida pasa-bajos.**

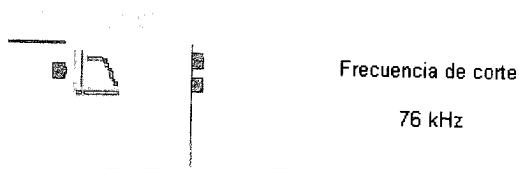


Figura 4.19. Filtro de salida pasa-bajos.

La selección de la frecuencia de corte se realiza por condiciones propias de este filtro en la salida de la celda, es decir, este filtro tiene un rango de 76 a 470 kHz, se escogió el rango menor de 76 kHz, además no afecta a la frecuencia del proceso por ser de 4 Hz, pero elimina frecuencia de orden mayor de 76 kHz.

Nota: Cuando se conectan los CAMs en el ambiente del software Anadigm se debe tener mucho cuidado con las fases de cada elemento  $\phi_1$  o  $\phi_2$ .

- **Introducir los valores correspondientes a los circuitos CAMs (ver figura 4.14) y se procede a la simulación con el objetivo de ajustar las condiciones del sistema de medida.**

### **Introducir valores**

A continuación se presenta las características de los elementos que conforman el acondicionamiento de señal del termopar en el ambiente del software Anadigm.

Características del Chopper y filtro de entrada pasa-bajos, ver Figura 4.20.

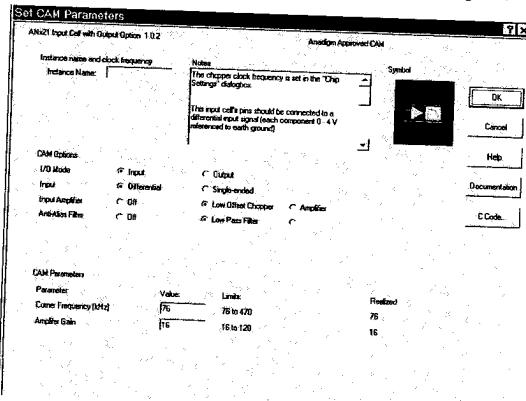


Figura 4.20. Característica de Chopper y Filtro de entrada pasa-bajos.

Características del elemento de ganancia inversa, ver Figura 4.21.

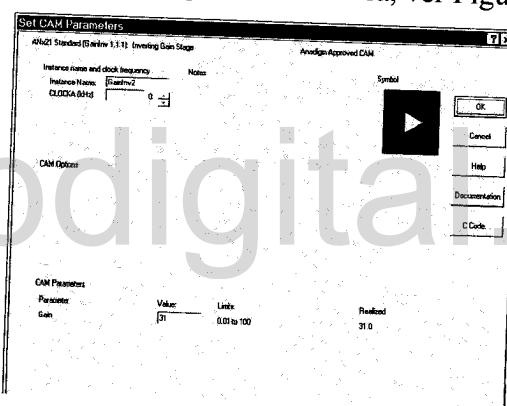


Figura 4.21. Característica del inversor de ganancia.

Características del comparador para un termopar, ver Figura 4.22.

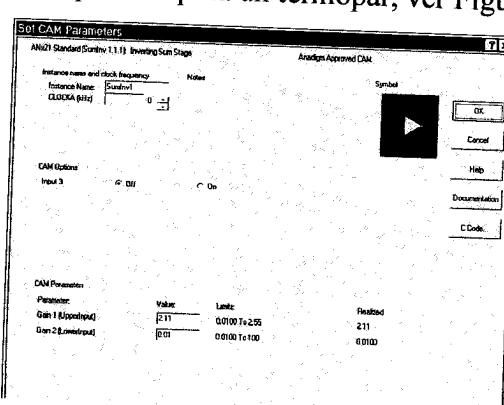


Figura 4.22. Comparador de un termopar.

Características del muestreo para un termopar, ver Figura 4.23.

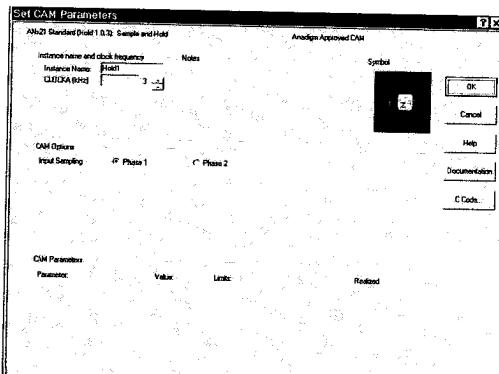


Figura 4.23. Muestreo para un acondicionador de termopar.

Características del Filtro de salida pasa-bajos para un termopar, ver Figura 4.24.

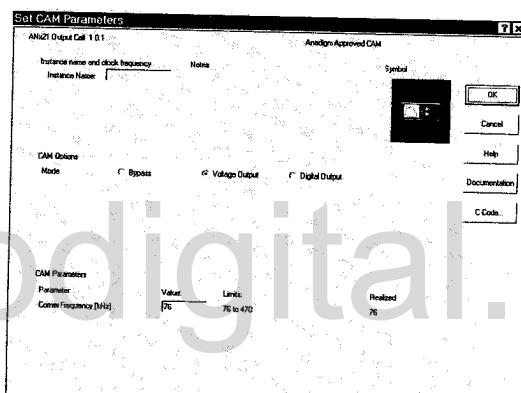


Figura 4.24. Filtro de salida pasa-bajos.

## Simulación

Se colocan la fuente que remplaza el valor de entrada (4 mV) y los visores o indicadores para ser mostrados en la ventana de simulación que proporciona la herramienta del software Anadigm, ver figura 4.25.

Después se presenta la ventana de simulación del acondicionador de señal de un termopar, con el objetivo de ajustar los valores de entrada con los valores de salida, como se ve en la figura 4.26.

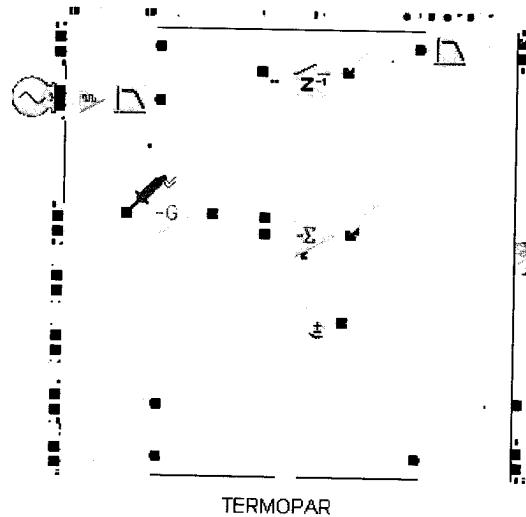


Figura 4.25. Ambiente del acondicionamiento de señal para ser simulado.

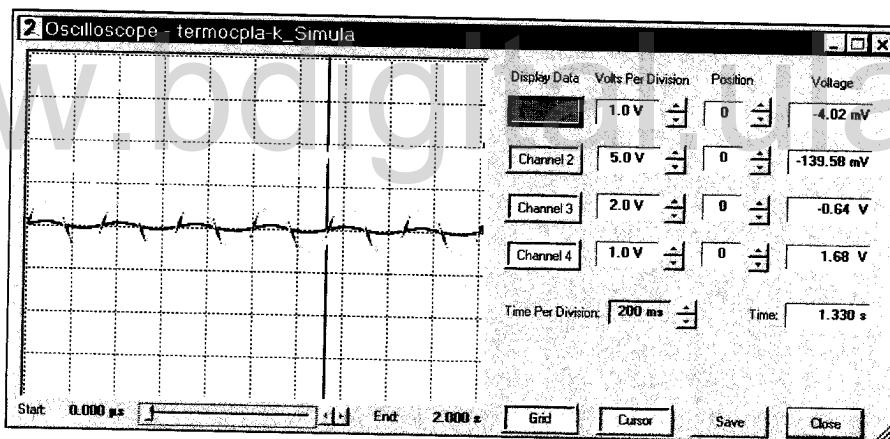


Figura 4.26. Ventana de simulación del acondicionador de señal de un termopar.

#### 4.2.3 Acondicionador de señal de la celda de carga

El acondicionador de señal de un sensor de celda de carga, está conformado por un conjunto de galgas extensiométricas colocadas en configuración puente, en este caso sobre las ramas laterales se coloca una galga activa y el lado simétrico la galga pasiva, dando como resultado un valor de tensión en el medio del puente que se conecta a la FPAA, la tensión de salida está en niveles pequeños del orden de los mV.

**Circuitos internos de la FPAA.** Al colocar la celda de carga se obtiene un salida de tensión  $V_o$  del orden ( $4 \text{ mV}$ ), esta señal se conecta al puerto diferencial de la entrada de la FPAA AN220E04 Anadigm (Pines 11,12) y se obtiene una señal de salida linealizada de la FPAA (Pines 3, 4), amplificada a un nivel de  $0 \text{ V}$  a  $4 \text{ V}$ .

El procedimiento para el diseño e implementación del acondicionamiento de señal de una celda de carga es el siguiente:

- **Etapas que conforman un acondicionamiento de señal de una celda de carga.**

Las etapas que lo conforman se mencionaron en el ítem 2.2.5 y son las siguientes:

Amplificador de ganancia, Amplificador comparador y ajuste de compensación, Retenedor y Filtro en la celda de salida.

- **Programar las etapas del acondicionamiento de señal utilizando la herramienta informática del software de Anadigm, como se presenta en la figura 4.27.**

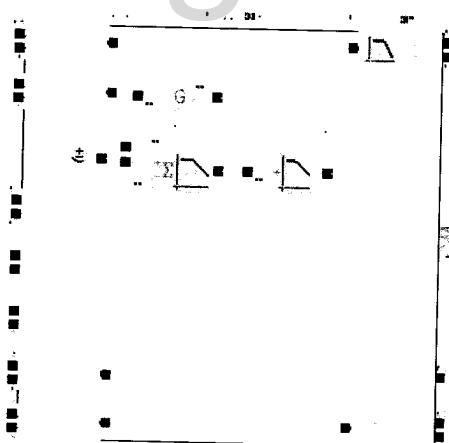


Figura 4.27. Estructura de un acondicionador de señal de una celda de carga.

- **Diseño de las etapas con la información suministrada por las características propias de las condiciones de medidas.**

#### Condiciones de medida

Para 5 kg se tiene un valor de tensión de salida en la celda de carga de 40 mV.

La señal de salida de la FPAA para los 5 kg debe ser de 4 V.

La frecuencia propia del sistema de la señal de entrada al FPAA es de 4 Hz.

La frecuencia de muestreo por criterios del teorema del muestreo, debe ser mayor de 20 veces la frecuencia propia del sistema [12], ( $20*4\text{ Hz} = 80\text{ Hz}$  ), se escogió en la FPAA una valor de 100 Hz.

### Diseño de las etapas

Las etapas que conforman el acondicionador de señal de una celda de carga son las siguientes:

#### Amplificador de Ganancia no inversora.



Figura 4.28. Ganancia no inversora.

#### Amplificador comparador y ajuste de calibración con filtro pasa-bajos.



Figura 4.29. Conjunto comparador, ajuste y filtro pasa-bajos.

#### Filtro no inversor pasa-bajos.

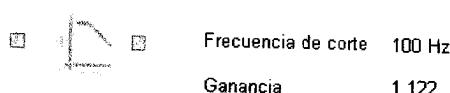


Figura 4.30. Filtro no inversor pasa-bajos.

Para hallar las ganancias establecidas en los circuitos CAMs de amplificación, se aplica las siguientes ecuaciones y suposiciones:

$$G_1 = \frac{V_{01}}{V_i} \quad 4.5$$

$$V_2 = V_{01}$$

$$V_{02} = (G_2 V_2) - (V_{ref} G_3) \quad 4.6$$

$$G_4 = \frac{V_{03}}{V_{02}} \quad 4.7$$

$$V_{03} = [(V_i G_1) G_2 - V_{ref} G_3] G_4 \quad 4.8$$

Donde:

$$V_{ref} = 3V \quad \wedge \quad V_{03} = 4V \quad \wedge \quad V_i = 40 \text{ mV} \quad \wedge \quad G_3 = 0.0118$$

Se halla una ganancia total desde la entrada de amplificador (figura 4.28) hasta la salida del filtro pasa bajo (figura 4.30), teniendo en cuenta que la entrada del FPAA de la salida de la celda de carga produce un valor máximo es de 40 mV y la salida del filtro pasa bajo es de  $V_{03} = 4 \text{ V}$ , entonces la ganancia:

$$G_T = \frac{V_{03}}{V_i} = \frac{4 \text{ V}}{40 \text{ mV}} = 100$$

Como la ganancia total del acondicionamiento de señal de la celda de carga  $G_T$  es de 100 y esta ganancia se conforma de tres circuitos y uno de ellos es un amplificador puro  $G_1$ , damos a este la ganancia de peso ( 30 ) y el segundo circuito por se comparador podemos dar el ajuste de la ganancia restante  $G_2 = 3$  y  $G_3 = 0.0118$  al tener estos valores y

despejando  $G_4$  de la ecuación 4.8, procedemos hallar su magnitud dando como resultado  $G_4 = 1.122$ .

Suponemos lo siguiente:

La ganancia  $G_2$  se halla acondicionándola a los intervalos establecidos por la frecuencia de muestreo 100 Hz (ver figura 4.29), el valor restante se ajusta con los cambios de las ganancias del amplificador comparador que compensa el valor externo, en este caso el peso de la bandeja donde se colocan las pesas  $G_3 = G_{\text{baja}} = 0.0118$ .

#### **Filtro de salida pasa-bajos.**



Figura 4.31. Filtro de salida pasa-bajos.

La selección de la frecuencia de corte se realiza por condiciones propias de este filtro en la salida de la celda, es decir, este filtro tiene un rango de 76 a 470 kHz, se escogió el rango menor de 76 kHz, además no afecta a la frecuencia del proceso por ser de 4 Hz, pero elimina frecuencia de orden mayor de 76 kHz.

Nota: Cuando se conectan los CAMs en el ambiente del software Anadigm se debe tener mucho cuidado con las fases de cada elemento  $\phi_1$  o  $\phi_2$ .

- **Introducir los valores correspondientes a los circuitos CAMs (ver figura 4.27) y se procede a la simular con el objetivo de ajustar las condiciones del sistema de medida.**

**Introducir valores.** A continuación se presentará las características de los elementos que conforman el acondicionamiento de señal del termopar en el ambiente del software Anadigm.

Características del amplificador de ganancia no inversora, ver Figura 4.32

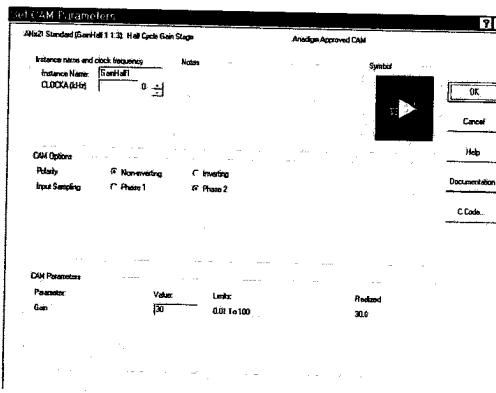


Figura 4.32. Característica de una proceso de ganancia.

Características de sumador y filtrado pasa-bajos, ver Figura 4.33.

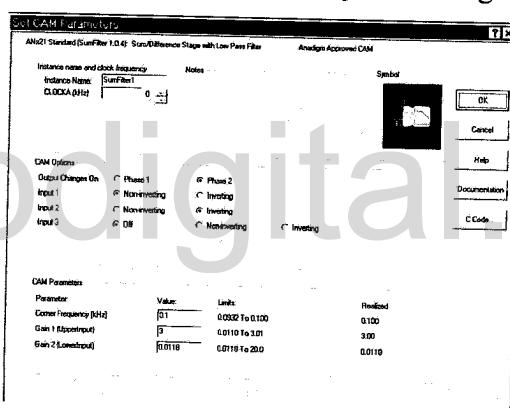


Figura 4.33. Amplificador comparador y ajuste de calibración.

Características del filtro no inversor pasa-bajos, ver Figura 4.34.

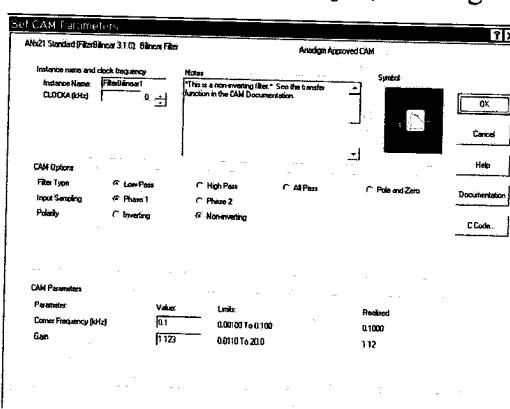


Figura 4.34. Filtro no inversor pasa-bajos.

Características de filtrado pasa-bajos en la salida, ver Figura 4.35.

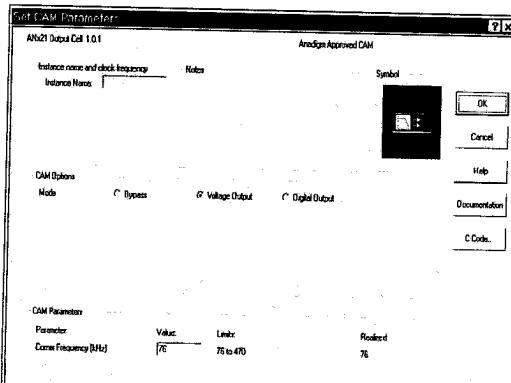


Figura 4.35. Filtrado en la salida pasa-bajos.

### Simulación

Se colocan la fuente que remplaza el valor de entrada (40 mV) y los visores o indicadores para ser mostrados en la ventana de simulación que proporciona la herramienta del software Anadigm, ver figura 4.36.

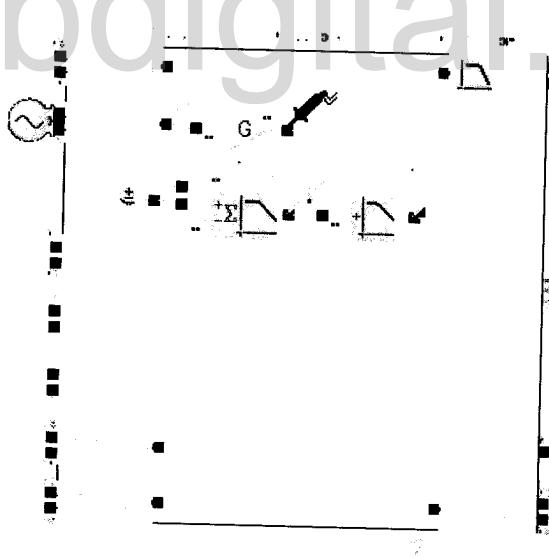


Figura 4.36. Ambiente del acondicionamiento de señal para ser simulado.

A continuación se presenta la ventana de simulación del acondicionador de señal de un termopar, con el objetivo de ajustar los valores de entrada con los valores de salida, como se ve en la figura 4.37.

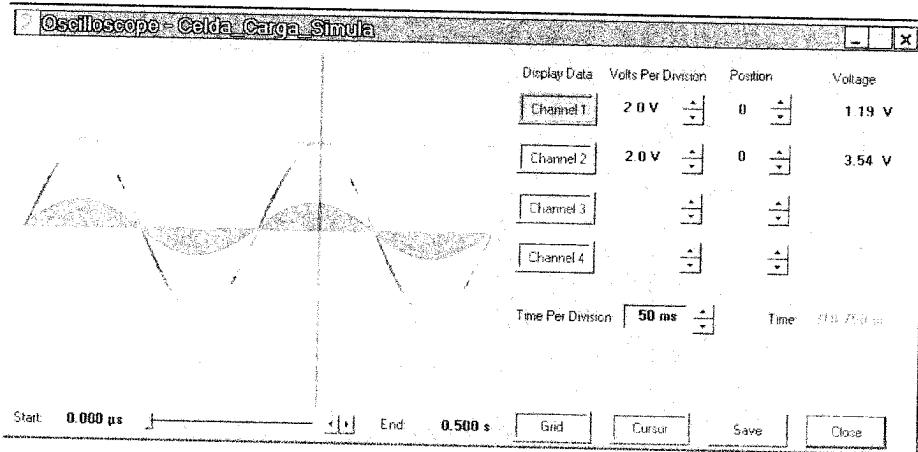


Figura 4.37. Simulación de la celda de carga.

#### 4.2.4 Acondicionador de señal de sensor LVDT

El acondicionador de señal de un sensor LVDT, está conformado por dos partes, la primera parte es la alimentación del primario del LVDT a un frecuencia determinada que se ubica dentro de la FPAA y la segunda parte es el secundario del LVDT que se conecta a las entradas de la FPAA, dentro del chip se realiza los procesos correspondiente al acondicionador de señal, teniendo en cuenta que para este acondicionamiento de este trabajo se utilizará un solo secundario por razones de haber utilizado una FPAA de 4 CAB, solamente admite 8 CAM y para este proceso completo ( 2 bobinas secundarias ) se debe utilizar 10 CAM, por el generador y su filtro.

**Circuitos internos de la FPAA.** Al colocar la celda de carga se obtiene un salida de tensión  $V_o$  del orden (4 mV), esta señal se conecta al puerto diferencial de la entrada de la FPAA AN220E04 Anadigm (Pines 11,12) y se obtiene una señal de salida linealizada de la FPAA (Pines 3, 4), amplificada a un nivel de 0 a 4 V.

El procedimiento para el diseño e implementación del acondicionamiento de señal de un LVDT es el siguiente:

- **Etapas que conforman un acondicionamiento de señal de un LVDT.**

Las etapas que lo conforman se mencionaron en el ítem 2.2.6 y son las siguientes:

Generador de señal.

Modulador.

Amplificador comparador y compensador.

Filtro pasa-bajos y Filtro en la celda de salida.

- **Programar las etapas del acondicionamiento de señal utilizando la herramienta informática del software de Anadigm, como se presenta en la figura 4.38.**

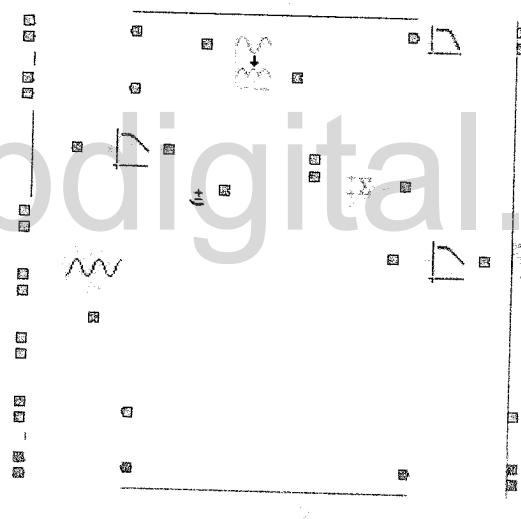


Figura 4.38. Estructura de un acondicionador de señal de un LVDT.

- **Diseño de las etapas con la información suministrada por las características propias de las condiciones de medidas.**

#### Condiciones de medida

El generador de señal que se diseña tiene como frecuencia 3 kHz y una amplitud pico de 4 V.

La señal de salida de la FPAA para los 10 mm debe ser de 4 V.

La frecuencia a la entrada del primario efectiva es de valor pico de 1.25 V.

La frecuencia de muestreo por criterios del teorema del muestreo, debe ser mayor de 10 veces la frecuencia propia del sistema [12], ( $20 \times 3 \text{ kHz} = 60 \text{ kHz}$  ), se escogió en la FPAA una valor de 300 kHz.

### Diseño de las etapas

Las etapas que conforman el acondicionador de señal de un LVDT son las siguientes:

#### Fuente generador senoidal.

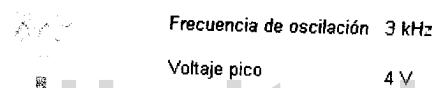


Figura 4.39. Generador de señal senoidal.

Se tomaron estos valores de 3 kHz y 4 V por características propias del LVDT a utilizar.

#### Filtro de salida pasa-bajos del FPAA al primario del LVDT.

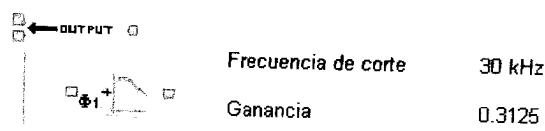


Figura 4.40. Filtro pasa-bajos.

El valor de la frecuencia de la onda que proporciona el generador de señal es de 3 kHz, de acuerdo con el teorema de muestreo y escogiendo el factor multiplicativo K entre 10 a 20 podemos obtener la frecuencia de corte Fc:

$$K = 10 \text{ a } 20$$

Se escoge  $K = 10$

$$F_c * K = 3 \text{ kHz} * 10 = 30 \text{ kHz}$$

La ganancia que se obtiene (0,3125), es la encargada de corregir el valor pico de la salida del generador a un valor de 1,25 V en la entrada del primario, recomendada por los fabricantes de los LVDT.

$$G_1 = \frac{V_{01}}{V_g} \quad 4.9$$

$$V_{01} = 1,25 \text{ V}, \quad V_g = 4 \text{ V}$$

$$G_1 = \frac{1,25 \text{ V}}{4 \text{ V}} = 0,3125$$

#### Rectificador o modulador de señal del secundario del LVDT.

	Frecuencia de corte	30 kHz
	Ganancia	1.7

Figura 4.41. Modulador.

El objetivo de este módulo es el de convertir la señal de esta onda de entrada senoidal en un valor rectificado completamente, para esto se necesita que toda la onda pase completamente entonces debemos hacer que la frecuencia de corte del filtro pasa bajo sea de 30 kHz.

La ganancia de 1,7 se debe a las condiciones de referencias que se ajusta en la etapa de amplificación, (ver figura 4,41), en este caso ( $V_{ref} = 3 \text{ V} \wedge G_4 = 0,7$  ), es decir  $V_{02} = 3 * 0,7 = 2,1 \text{ V}$ .

$$G_2 = \frac{V_{02}}{V_{01}} \quad 4.10$$

$$G_2 = \frac{2,1 \text{ V}}{1,25 \text{ V}} = 1,68 \approx 1,7$$

### Sumador diferenciador y compensador.

	Ganancia entrada superior	2.871
	Ganancia entrada inferior	0.7
	Voltaje de referencia	3 V

Figura 4.42. Sumador diferenciador y compensador.

Para hallar el valor de la señal de salida de este módulo se debe tener en cuenta que la forma de onda oscila entre un valor de (- 4 V hasta 2 V), es decir cuando la entrada  $V_{02}$  es cero toma el valor de la fuente de referencia y su ganancia ( $V_{03} = 2,1$ ) y cuando la entrada es  $V_{02} = 2,125$  obtenemos la salida  $V_{03} = - 4 \text{ V}$ , con estas condiciones se procede a realizar el siguiente proceso con el objetivo de hallar la ganancia respectiva  $G_3$ :

$$V_{03} = - V_{02} G_3 - V_{\text{ref}} G_4$$

4.11

Suponemos los siguientes valores:

$$V_{\text{ref}} = -3 \text{ V}, \quad G_4 = 0,7, \quad G_2 = 1,7, \quad V_{03} = -4 \text{ V}$$

Despejando  $G_3$  y remplazando  $V_{02}$ , nos queda:

$$G_3 = \frac{V_{03} - V_{\text{ref}} G_4}{-V_{02}} = \frac{V_{03} - V_{\text{ref}} G_4}{-V_{01} G_2} = \frac{-4 \text{ V} - (3 \text{ V})(0,7)}{(-1,25 \text{ V})(1,7)} = 2,871$$

### Filtro inversor pasa-bajos.

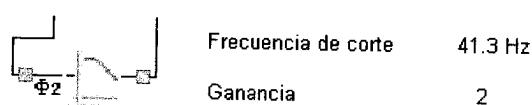


Figura 4.43. Filtro inversor pasa-bajos.

### Filtro de salida pasa-bajos.

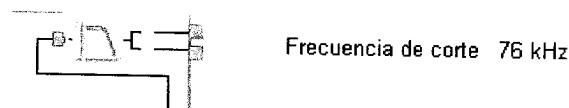


Figura 4.44. Filtro de salida pasa-bajos.

- Introducir los valores correspondientes a los circuitos CAMs (ver figura 4.38) y se procede a la simular con el objetivo de ajustar las condiciones del sistema de medida.

### Introducir valores

A continuación se presentara las características de los elementos que conforman el acondicionamiento de señal del LVDT en el ambiente del software Anadigm.

Características del Generador senoidal, ver Figura 4.45.

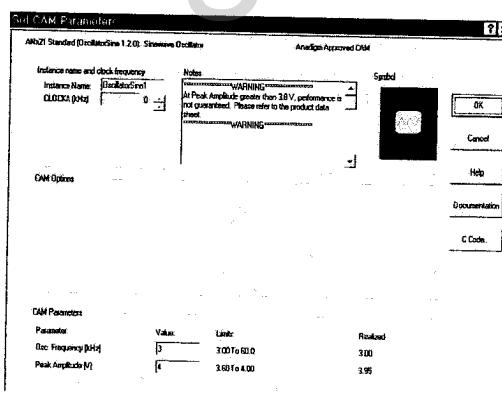


Figura 4.45. Generador senoidal.

Características del filtro no inversor pasa bajo para la salida de la FPAA al primario del LVDT, ver Figura 4.46

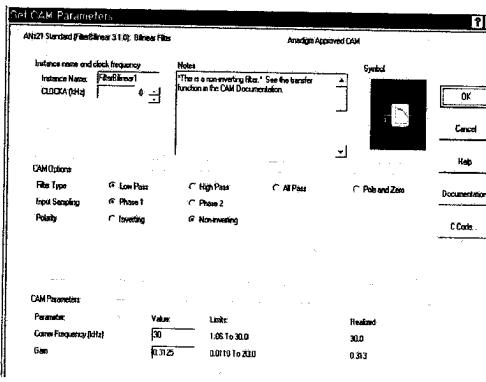


Figura 4.46. Filtro pasa-bajos no inversor.

Características del modulador, ver Figura 4.47.

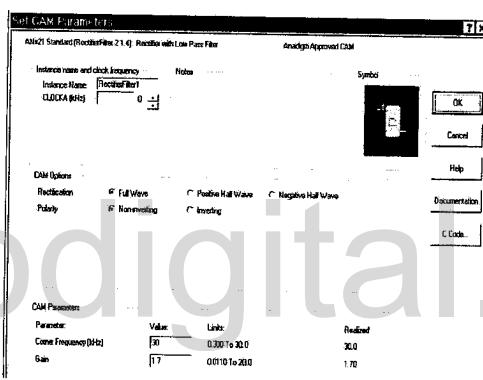


Figura 4.47. Modulador.

Características del sumador diferenciador, ver Figura 4.48.

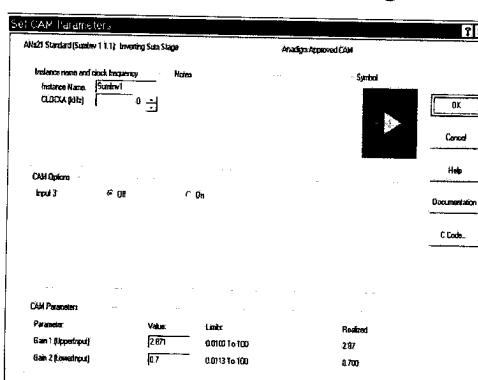


Figura 4.48. Sumador diferenciador.

Características de filtro inversor pasa-bajos, ver Figura 4.49.

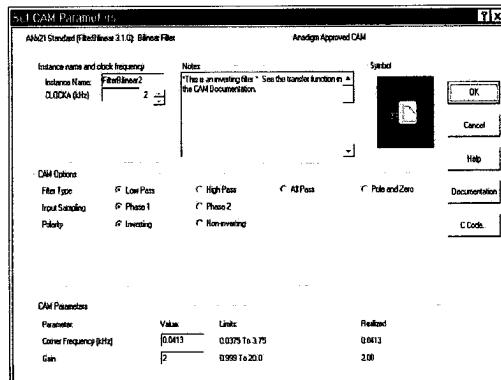


Figura 4.49. Filtro inversor pasa-bajos.

Característica del filtro de salida pasa-bajos, ver figura 4.50.

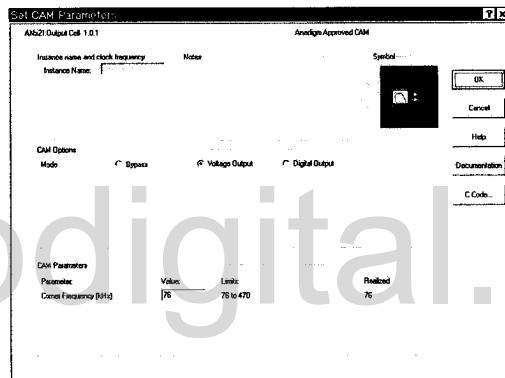


Figura 4.50. Filtro de salida pasa-bajos.

## Simulación

Se colocan la fuente que remplaza el valor de entrada (40 mV) y los visores o indicadores para ser mostrados en la ventana de simulación que proporciona la herramienta del software Anadigm, ver figura 4.51.

A continuación se presenta la ventana de simulación del acondicionador de señal de un LVDT, con el objetivo de ajustar los valores de entrada con los valores de salida, como se ve en la figura 4.52.

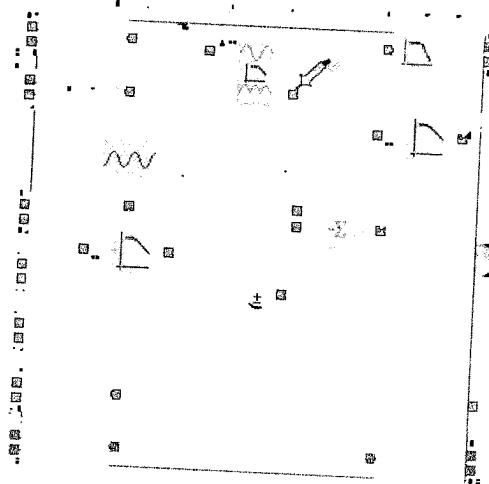


Figura 4.51. Ambiente del acondicionamiento de señal para ser simulado.

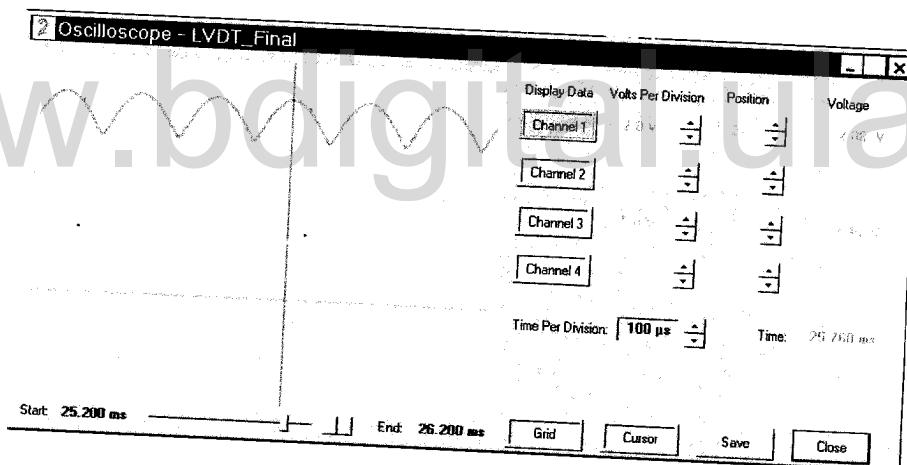


Figura 4.52. Simulación del LVDT.

#### 4.3 Etapa de adquisición de datos

En esta etapa se recibe los datos que produce el FPAA de 0 V a 4 V. Se transforma en niveles de trama binaria a través de un Microcontrolador [5], con el fin de llevarlos y transmitirlos al PC, donde es tratado y analizado en la herramienta informática Labview.

La conformación de esta etapa se lleva a cabo con el diseño e implementación del modulo de adquisición de datos, consiste de los siguientes elementos:

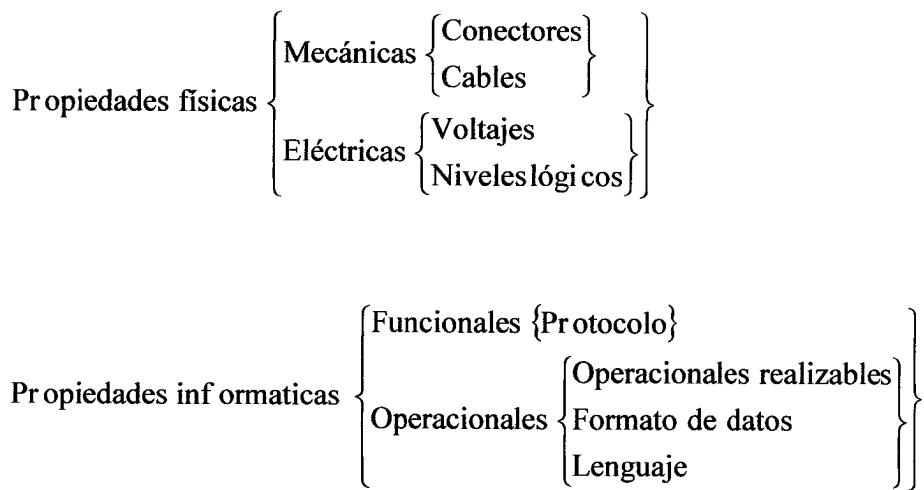
- Microcontrolador
- Sistema de conectores RS232
- Sistema de condensadores, led, resistencias

#### 4.3.1 Sistemas de programación programables

Una vez que la señal está preparada para ser aceptada por un instrumento, hay que atender a la perfecta configuración de éste [9]. La naturaleza de la señal dicta el instrumento de medida adecuado. Los dos primeros parámetros a tener en cuenta son la frecuencia y el nivel de la señal. Desde el punto de vista de la instrumentación una señal es rápida o lenta si sus variaciones son de una frecuencia superior o inferior de 2 Hz respectivamente. Pero la instrumentación necesita frecuentemente un componente adicional. Por un lado, las mediciones que toma un instrumento no son fácilmente accesibles (salvo en la pantalla) ni almacenables. Por otro, muchas veces es necesario llevar a cabo tareas adicionales: sincronizar varios instrumentos que concurren a la medida; controlar el estado de otros aparatos, automatizar tareas repetitivas, reconfigurar la medición cuando cambien las condiciones de señal. En suma los instrumentos deben ser controlados en forma automática por un ordenador.

El elemento clave de la programación de instrumentos consiste de un canal de intercambio de información al que pueda acceder tanto el aparato como el ordenador. Dicho en otras palabras un bus de datos.

Este sistema de transmisión de datos debe normalizarse precisando una serie de características. Para empezar, deben de determinarse los conectores, los cables el material a emplear. Luego deben de definirse los significados de las señales eléctricas que se envíen. Además, deben de establecerse las reglas de comunicación (un protocolo) que permita a todos los equipos con acceso al bus proceder ordenadamente y ajustarse para compartir el canal de comunicación. Y finalmente se puede fijar un lenguaje de comunicación, [9]. Con ello que da especificado el bus:



**Bus RS232.** El bus RS232 data de 1962. Fue concebido para conectar un ordenador (genéricamente Data Terminal Equipment, DTE) con un módem (genéricamente Data Communication Equipment, DCE), [9], pero luego su uso es extendido a otros muchos cometidos. Es un bus en serie; es decir, los datos se envían bit a bit por la línea de transmisión.

**Propiedades físicas.** El conector empleado es el DB-9 o el DB-25. De las nueve 9 líneas, dos 2 son de transmisión y recepción de datos, uno es la masa y el resto es de control.

Para comunicar datos bastan 3 líneas: TXD, RXD y SG. El resto se emplean para el protocolo. TXD = Transmisión de datos, RXD = Recepción de datos, SG = Circuito común. Las señales están determinadas por niveles de tensión – 15V a +15V.

**Propiedades informáticas.** Las cuestiones de protocolo en las transmisiones de RS232 son bastante laxas. Esto se debe en gran parte a que se ha utilizado este bus para conectar dispositivos muy dispares y que se alejan mucho del esquema DTE – DCE que se mencionó: periféricos de cualquier tipo.

La transmisión de datos se realiza, como se ha dicho, en serie: bit a bit. La velocidad de transmisión es fija, y se mide en baudios (bits por segundos). Se lleva a cabo de la siguiente manera: La línea está en 1 (mark state) hasta que comienza el paquete de datos

con un bit de comienzo (start bit), la línea pasa a cero. A partir de ahí se transmite en serie los bits en un paquete que va del bit menos significativo hasta el más significativo; son los bits de datos (data bits). En este caso existen 8 bits de datos, es decir un byte, pero se permite entre 5 y 8. Tras los bits de datos puede ir opcionalmente un bit de comprobación llamado bit de paridad (stop bit), aunque en algunos casos puede ser de dos bit o ninguno. Tras ello la línea queda en espera (idle) en 1.

El protocolo empleado dicta la configuración del puerto RS232. En los instrumentos, la configuración del puerto bien es fija, bien puede cambiarse manualmente. Los puertos RS232 del ordenador (los puertos COMn), son mucho más flexibles. Los parámetros básicos que hay que especificar son:

- Velocidad.
- Número de bits de datos.
- Control de flujo.
- Bits de comienzo y parada.
- Paridad.

**Funciones E / S.** Para enviar y recibir comandos y datos a través del bus, es necesario disponer de alguna función que realice este cometido e invocarla desde un lenguaje de programación en este caso desde el lenguaje característico del microcontrolador, ver el lenguaje de programación.

El siguiente programa es el que hizo para la comunicación de la señal de entrada de la FPAA y la que transmite al PC, a través de un microcontrolador PIC.

```
; ESTE PROGRAMA TOMA UNA SEÑAL ANALOGA Y LA DIGITALIZA TRANSMITIENDO LA
RS232 AL PC
```

```
; A-D converter test for PIC16F873
```

```

list p=16F873
RADIX HEX           ;Sistema de numeración hexadecimal
include <P16F873.inc>
cblock    0x20
adtim     ;A-D acquisition timer
endc

org 0x00
goto start

org 0x06

start      bcf STATUS, RP0
           bcf STATUS, RP1 ;selecciona el banco 0
           clrf PORTA      ;borra registros
           clrf PORTB
           clrf PORTC
           bsf RCSTA, SPEN ;se activa la USART
           bsf STATUS, RP0 ;selecciona el banco1
           bcf STATUS, RP1
           movlw b'00000101' ;selecciona A3=Vref+
           movwf ADCON1      ;A1=entrada analoga
           movlw b'101111'   ;puertos A0,A1,A2,A3,A5 son entradas
           movwf TRISA        ;envia configuracion
           clrf TRISB        ;puerto b como salida
           movlw b'10111111' ;RC7/Rx entrada,
           movwf TRISC        ;RC6/Tx   salida.
           movlw b'00100100' ;Configuracion USART
           movwf TXSTA        ;y activacion de transmision
           movlw .25          ;9600 baudios
           movwf SPBRG
           bcf STATUS, RP0   ;Cambio al banco 0 -------

           bsf RCSTA, SPEN ;se activa la USART
           bsf STATUS, RP0 ;Cambio al banco 1 -----
           bcf STATUS, RP1
           bsf TXSTA, TXEN ;Habilita la transmision
           bcf STATUS, RP0 ;Cambio al banco 0 -----
           movlw b'01000001' ;selecciona fosc/8, AN0, A-D on
           movwf ADCON0       ;envia configuracion
           bsf ADCON0, GO    ;inicia conversion
           btfsc ADCON0, GO  ;pregunta si termino
           goto wait         ;espera si no a terminado
           movfw ADRESH      ;entrega resultados
           movwf PORTB
           movwf TXREG        ; del codigo ascii
           bsf STATUS, RP0   ;Cambio al banco 1 -----
           bcf STATUS, RP1
           btfss TXSTA, TRMT ;comprueba si acabo de Tx.
           goto COMP_TX
           bcf STATUS, RP0   ;Cambio al banco 0 -----
           goto conv         ;repeat

end

```

#### 4.4 Aspecto técnico del prototipo

Con base en el estudio realizado y la proyección tecnológica del módulo se presentan los procesos y la ejecución del montaje del prototipo. A continuación se muestra en la figura 4.53, el diagrama de bloques del módulo de acondicionamiento de señal para sensores.

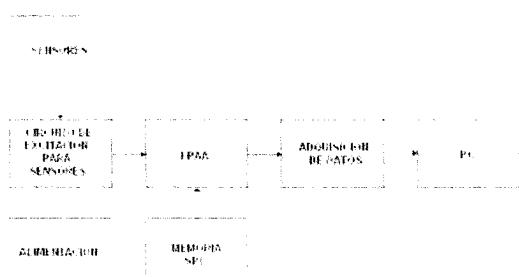


Figura 4.53 Diagrama de bloque de acondicionamiento de señal para sensores.

##### 4.4.1 Sensores.

Este bloque está conformado por los diferentes tipos de sensores que se van a utilizar en el proyecto, como el RTD, Termopar, Celda de Carga y el LVDT proporcionado por la empresa K&H.

##### 4.4.2. Circuito de excitación.

Como ya se había mencionado en las especificaciones de los sensores, hay algunos que no generan una señal de voltaje, sino que provocan una variación en la impedancia del sensor, por este motivo es necesario diseñar un circuito, el cual pueda interpretar esas variaciones de impedancia y convertirlas en variaciones de voltaje, para este tipo de sensores lo ideal es utilizar un puente de wheatstone ya que con este es posible hacer que el barrido de la señal empiece desde 0 (cero), haciendo más fácil la calibración.

##### 4.4.3 FPAA Y Memoria SPI

A continuación se presenta la configuración básica para utilizar la FPAA, como se puede observar se necesita un mínimo de componentes lo cual hace versátil, económico y

sencillo el diseño del prototipo. Esta configuración viene recomendada en la hoja de datos del dispositivo programable [13].

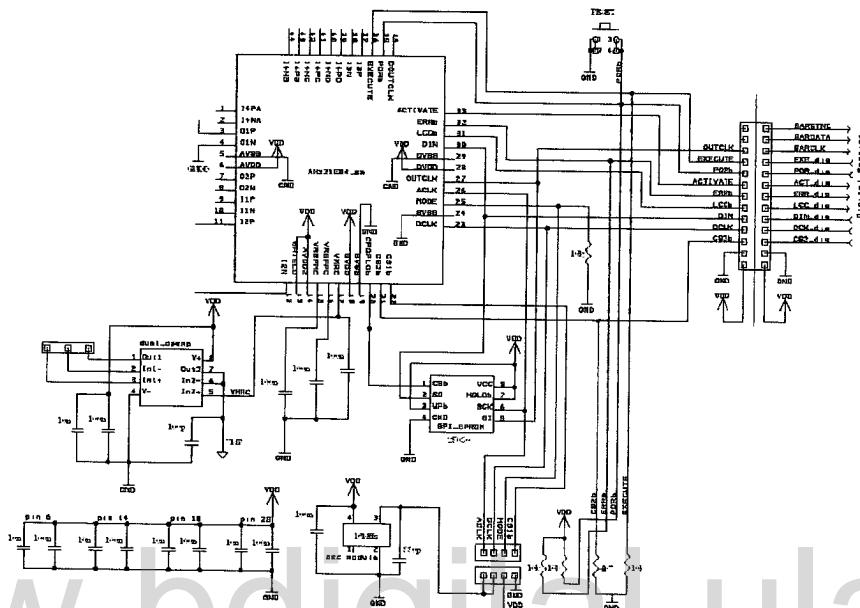


Figura 4.54. Circuito de la FPAA y SPI.

#### 4.4.4 Adquisición de datos.

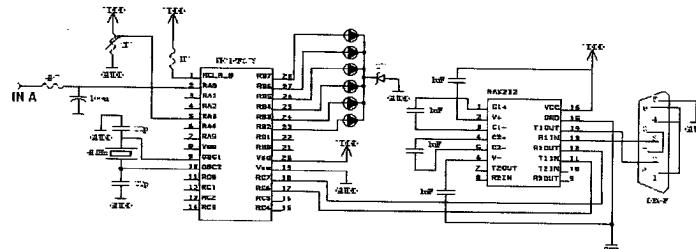


Figura 4.55. Módulo de adquisición de datos.

Este módulo consta esencialmente de un microcontrolador PIC 16F873 programado de tal manera que tome una señal analógica, la digitalice y la envíe en protocolo RS232 al PC, además tiene un bloque de LEDs que visualizan el dato que se está transmitiendo en binario. Ya que los niveles que se manejan en el protocolo RS232 son de +- 10V es necesario la utilización del MAX232 que transforma la señal que entrega el

microcontrolador de 0 o 5V a los -10V y 10V. Además de un conector DB9 hembra utilizado para realizar la conexión física.

#### 4.4.5 Alimentación.

Con el fin de aislar la tierra análoga de la digital fue necesario utilizar dos fuentes, una para la parte análoga del sistema, y otro para la parte digital. Estos sistemas de alimentación se diseñaron fácilmente con reguladores de voltajes, muy conocidos y encontrados en el mercado local. A continuación se muestra el diagrama de este montaje.

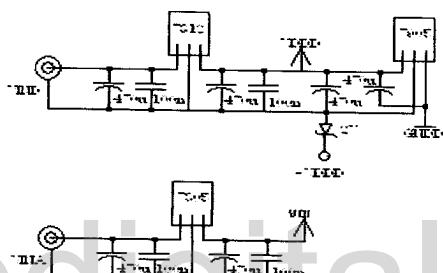


Figura 4.56. Circuito de alimentación.

#### 4.4.6 Diseño y montaje del prototipo.

El diseño del circuito impreso fue hecho en el versátil y sencillo software llamado *traxmaker*, con un montaje a doble cara para minimizar el tamaño de la tarjeta y además por la utilización de la pastilla AN221E04 la cual viene para montaje superficial.

Toda la construcción de este prototipo se hizo por los ejecutores del proyecto de una forma artesanal, demostrando así que es posible hacer diseños de alta calidad y con muy bajo costo. También la selección de los componentes se hizo de tal manera de que se encontraran en nuestro medio, en tal caso de que en un futuro se requiera de hacer más copias de este módulo, siendo el único inconveniente la obtención de la pastilla de Anadigm.

A continuación se muestra el layout hecho en traxmaker.

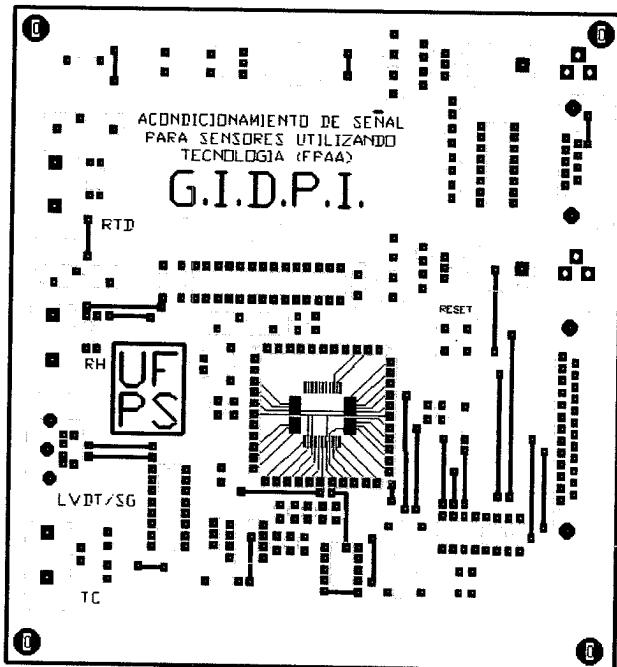


Figura 4.57. Cara de componentes.

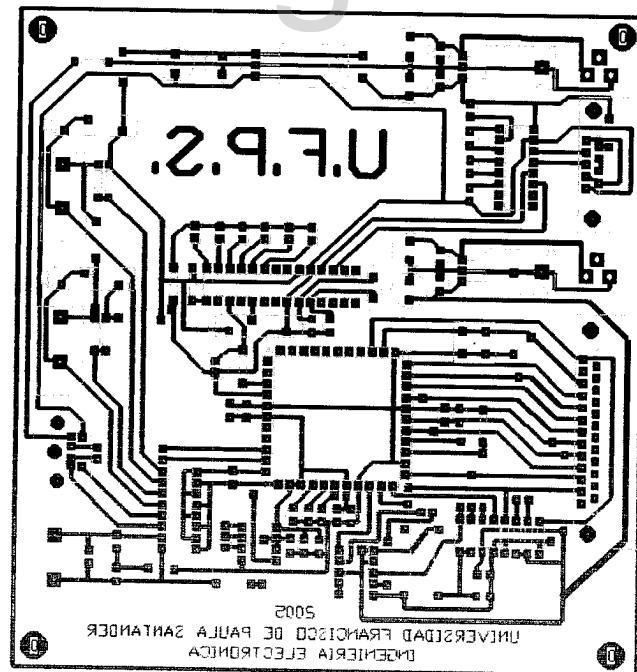


Figura 4.58. Cara de soldadura.

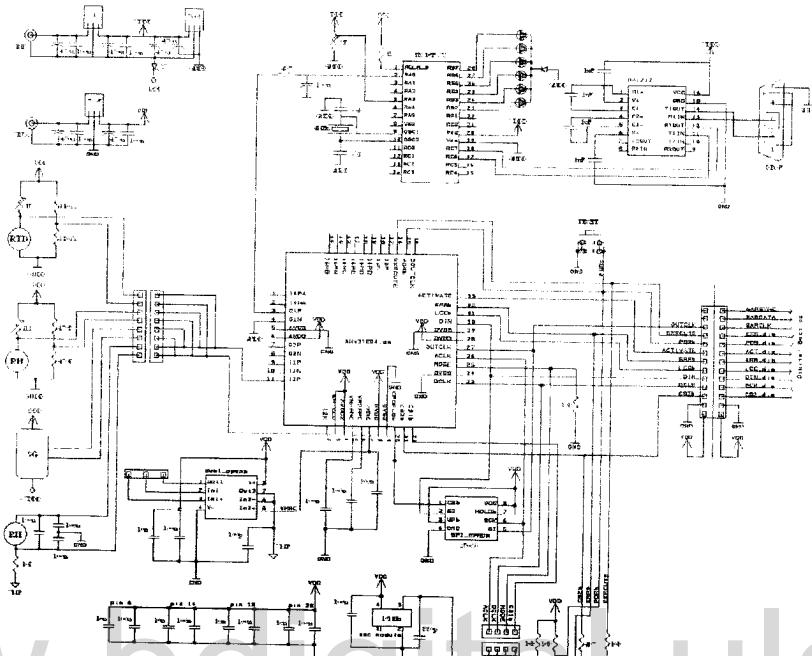


Figura 4.59. Diagrama de conexiones.

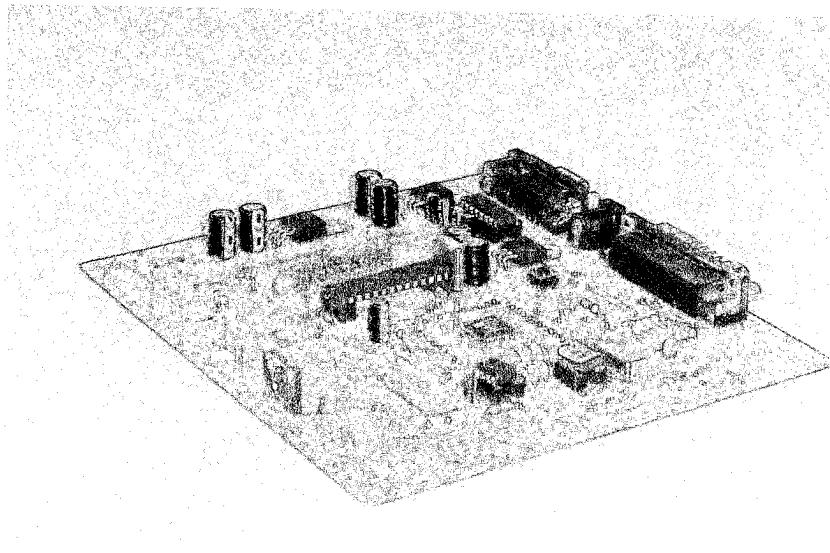


Figura 4.60. Prototipo propuesto.

#### **4.4.7 Programación del prototipo propuesto**

Después de haber realizado un meticuloso proceso sobre las etapas que intervienen en la obtención de un sistema de desarrollo, orientado al acondicionamiento de señal para cualquier variable de medida, podemos afirmar que se obtuvo un producto de adaptación de tecnología, que a su vez nos beneficiará en los aspectos económicos, investigativos y académicos, para la región Departamental y Nacional de Colombia e Internacional de la hermana Republica Bolivariana de Venezuela.

El prototipo planteado en este proyecto fue realizado en su totalidad por el Ing, José Ricardo Bermúdez Santaella en las instalaciones del Grupo de Investigación de Desarrollo en Procesos Industriales “GIDPI” de la Universidad Francisco de Paula Santander de Cúcuta, Colombia.

#### **Metodología para la programación**

Este prototipo de entrenamiento puede utilizarse programando la FPAA de dos maneras diferentes:

1. Programación directa, utilizando el programador que viene con la tarjeta AN221D04
2. Programación indirecta, programando la memoria SPI.

A continuación se da una explicación detallada de los dos métodos de programar la FPAA

#### **Programación directa.**

Para la programación directa es necesario configurar la tarjeta a modo de programación directa, lo cual se logra con el data swich de 4 bits el cual debe estar en la siguiente posición 1001, con lo cual se configura la FPAA a modo de reloj análogo y al modo de not memory. La ventaja de esta programación es que es una programación *incircuit*. Pero solo se utiliza para calibrar ya que la memoria de la FPAA es volátil y además se necesita del vprogramador de la FPAA el cual es costoso.

Teniendo ya configurada la tarjeta, lo siguiente es conectar el programador por medio del conector DB25 macho. Luego de tener ya el diseño análogo en el software AnadigmDesigner2 se da clic en el ícono de programación como se ve en la siguiente figura 4.61.

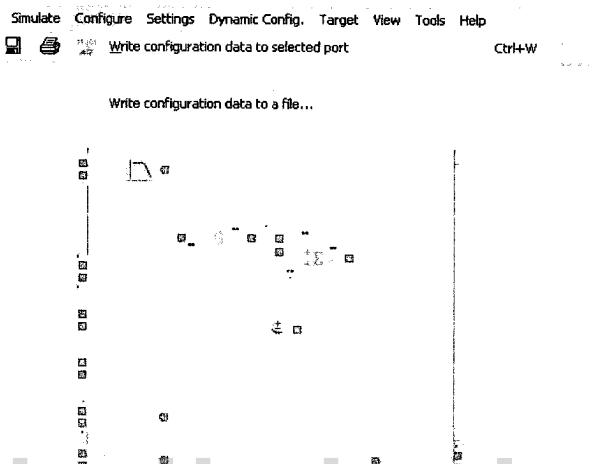


Figura 4.61. Ventana de write configuration data to selected port.

### Programación indirecta

En la programación indirecta no se programa la FPAA, en esta programación se guarda un archivo que genera el software AnadigmDesigner2 el cual es de extensión “prueba.bin” para este tipo de programación la metodología es la siguiente:

Primero se configura la tarjeta en el modo de reloj digital y modo de memoria con el data swich de 4 bits el cual debe estar en la siguiente posición 0111.

Estando en la plataforma de AnadigmDesigner2 se abre la opción “configure”. Se escoge la opción “Write configuration data to file” como se muestra en las figura 4.61.

Después de haber invocado el menú anterior, sale una ventana que nos pide el archivo que queremos convertir, en este caso escogeremos “Binary File(\*.bin)”. Como se muestra en la figura 4.62.

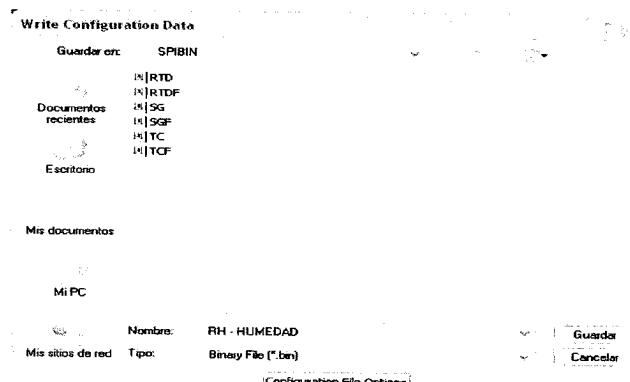


Figura 4.62 Ventana de selección de tipo de archivo.

Con esto se genera el archivo que será grabado en la memoria SPI EPROM, utilizando un programador de memoria SPI y el software llamado *PonyProg2000*. Ver figura 4.63. La metodología que se utilizó para este proceso es la siguiente:

- Abrir el programa y se llama el archivo “xx.bin” que se desee programar
- Selecciona el tipo de memoria a programar
- Dar clic en el ícono de programación.

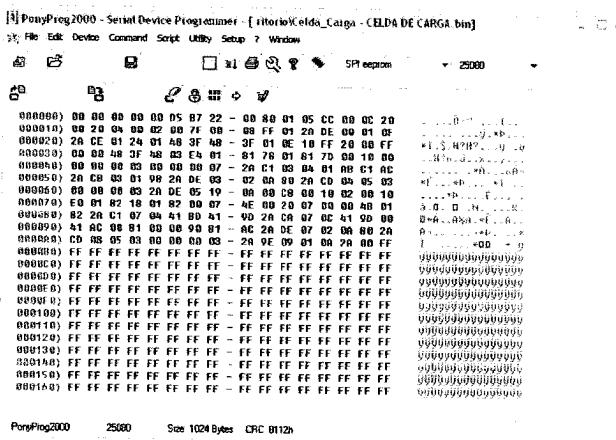


Figura 4.63. Software de PonyProg2000

Como se puede notar esta programación es más extensa pero no es volátil y esta más al alcance de los estudiantes debido a la sencillez de la construcción del programador SPI.

Al programar las memorias se le darán al usuario para que realicen sus respectivas prácticas, con el objetivo de comprender bien como funcionan los sensores en la asignatura de Instrumentación Industrial de la UFPS.

#### **Metodología general para utilizar el prototipo.**

1. Se realiza el diseño del acondicionamiento de señal de la variable de medida.
2. Se implementa y se simula el diseño en la herramienta de Anadigm.
3. Se genera el archivo “.BIN” desde la herramienta de software Anadigm, a través del menú CONFIGURACIÓN en Write configue date
4. Se carga el archivo a través del programador de memorias SPI EPROM, utilizando el software PONY.
5. Se coloca la memoria SPI EPROM en el sistema de desarrollo, ver Figura 4.57.
6. Se instala el sensor a utilizar.
7. Se comunica el sistema de desarrollo propuesto con el PC.
8. Se empieza a calibrar la señal del sensor con el sistema de desarrollo propuesto, punto mínimo y máximo.
9. La calibración se realiza sacando la SPI EPROM del sistema de desarrollo propuesto y volviéndola a colocar en el programador, paralelamente se hace la variación en las ganancias del acondicionador de señal presentado en el software de Anadigm, se crea el respectivo archivo “.BIN”, se carga a la EPROM, se devuelve la memoria EPROM al sistema de desarrollo propuesto y se detecta los puntos máximos o mínimos, esta operación se realiza hasta que se obtenga la calibración óptima.
10. Teniendo la SPI EPROM con el acondicionador de señal calibrado, se deja en el sistema de desarrollo para la utilización de la respectiva aplicación industrial.

#### 4.5 Etapa de monitoreo

En esta etapa se recoge los datos que son proporcionados por la etapa de adquisición de datos a través del microcontrolador y se observa por medio de la herramienta informática LABVIEW, [7].

##### 4.5.1 HMI RTD

Panel de control RTD.vi, ver Figura 4.64, 4.65.

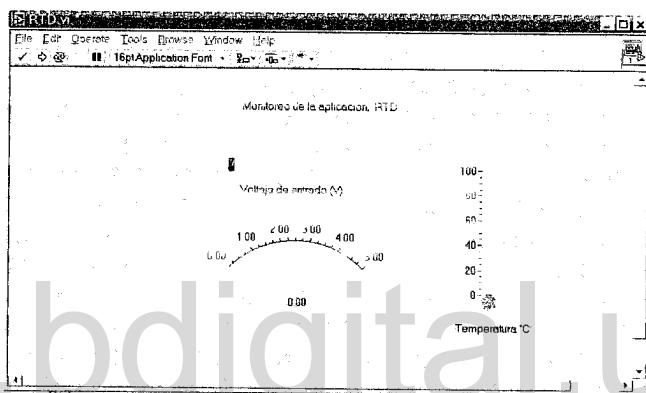


Figura 4.64. Panel de control RTD.

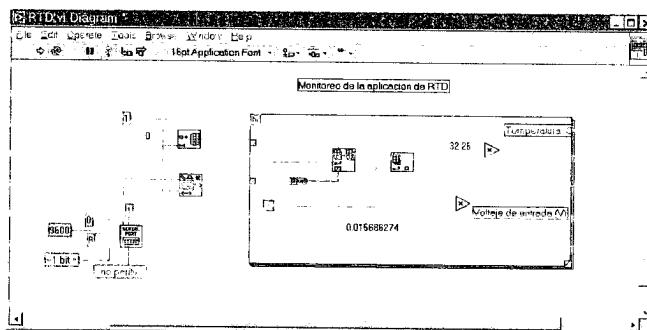


Figura 4.65. Diagrama de control RTD.

##### 4.5.2 HMI Termopar

Se presenta el Panel y Diagrama de la aplicación de la Termocupla, como se ve en la figura 4.66 y 4.67.

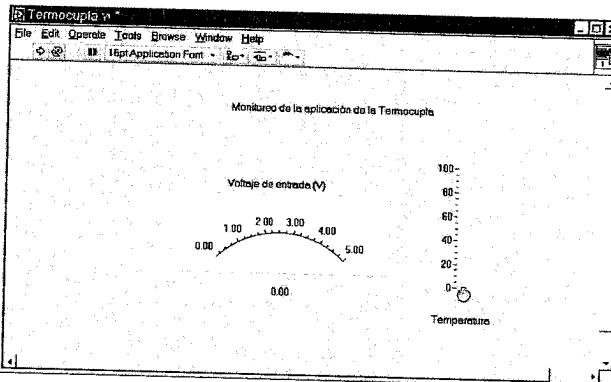


Figura 4.66. Panel de control de la aplicación Termocupla.

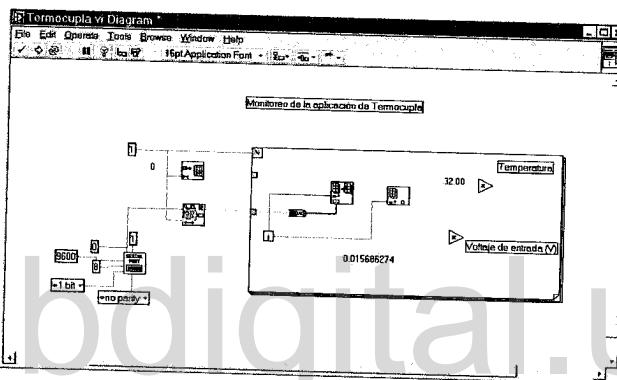


Figura 4.67. Diagrama de control de la aplicación Termocupla.

#### 4.5.3 HMI Celda de carga

Se presenta el Panel y Diagrama de la aplicación de la Celda de carga, como se ve en la figura 4.68 y 4.69.

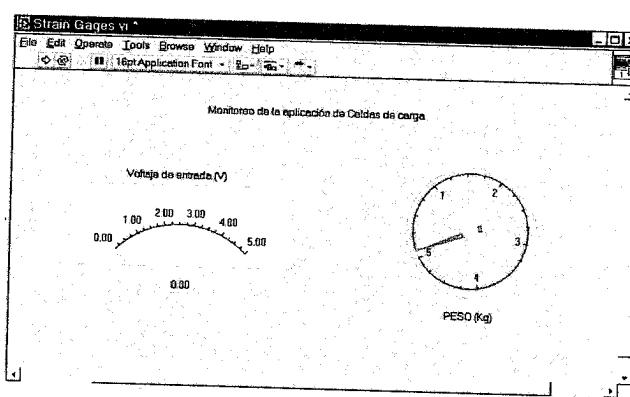


Figura 4.68. Panel de control aplicación celdas de carga.

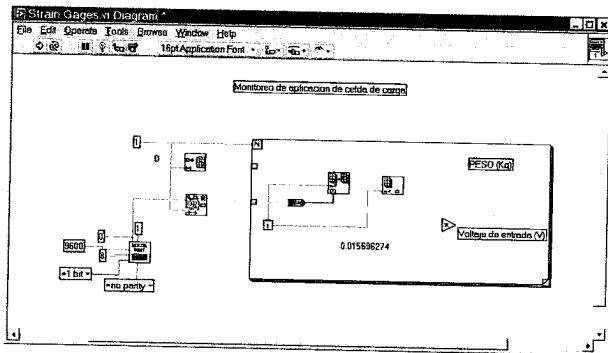


Figura 4.69. Diagrama de control aplicación de celdas de carga.

#### 4.5.4 HMI LVDT

Se presenta el Panel y Diagrama de la aplicación del LVDT, como se ve en la figura 4.70 y 4.71.

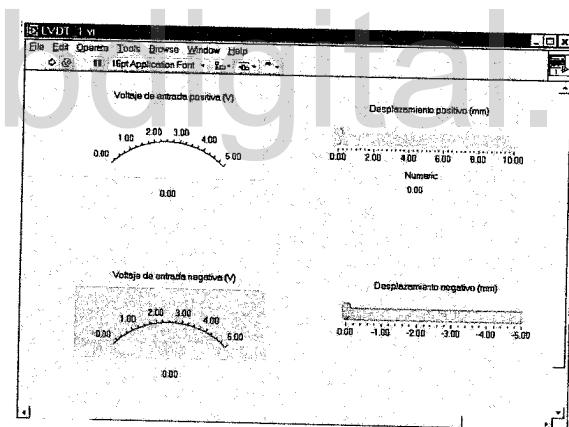


Figura 4.70. Panel de control aplicación de LVDT.

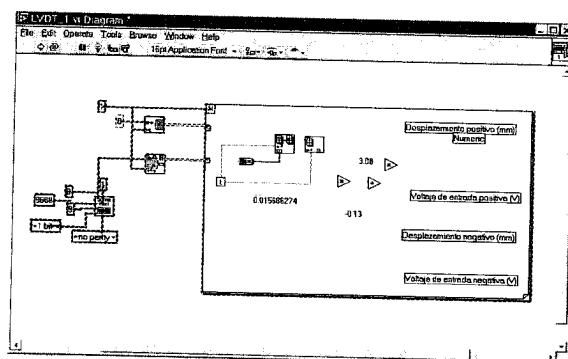


Figura 4.71. Diagrama de control aplicación de LVDT.

## CAPITULO V

### RESULTADOS Y COMPARACION DEL PROTOTIPO PROPUESTO, CON EL MÓDULO DE K&H

A continuación se realizará el procedimiento para comparar los resultados del prototipo diseñado, con una estación de trabajo con las misma características de aplicación, proporcionada por la compañía china K&H, [8], existente en el laboratorio de Instrumentación de la Universidad Francisco de Paula Santander.

#### 5.1 Estación de comparación K&H

Esta estación cuenta con una unidad de trabajo KL-600 microPA SENCONS, Microcomputer Sensign Control System. El diagrama funcional (ver Figura 5.1), de la estación donde se encuentra el microcontrolador está representado por un unidad KL-61001, [8].

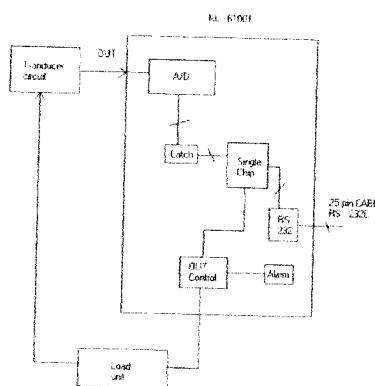


Figura 5.1. Diagrama funcional del KL-61001.

Las pruebas de las diversas aplicaciones se hacen a través de una interfaz HMI proporcionada por la misma estación, que se encuentra en el PC, realizada en lenguaje de alto nivel “Basic”. El microcontrolador que utiliza es el 8031.

Se presentarán en las siguientes etapas:

- Panel de selección de aplicaciones.
- Panel de configuración de la aplicación.
- HMI, Display y Graficadores.
- Acondicionadores de señal.

### **5.1.1 Panel para la selección de la aplicación**

Este panel nos representa la selección de las aplicaciones que se utilizan en esta estación de trabajo, la aplicaciones para nuestro caso son Temperatura, Celda de carga y LVDT ( Ver Figura 5.2) [8].

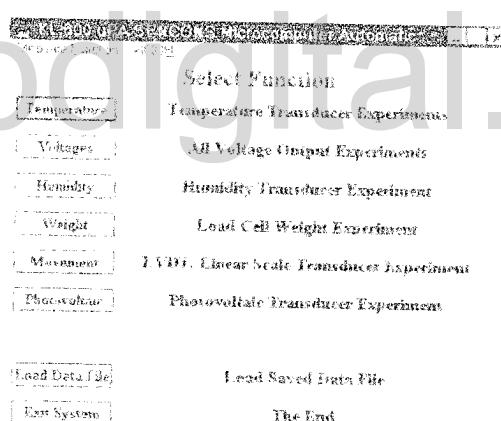


Figura 5.2. Panel de selección de las aplicaciones.

### **5.1.2 Panel para la selección de los datos de configuración**

Se presenta la ventana que contiene las unidades básicas del controlador, la configuración del puerto de la comunicación por vía serial RS232 dirigidos en COM1 ó COM2 y por último tenemos el ajuste de las muestras que se toman de acuerdo a la aplicación. Esto se presenta en la Figura 5.3.

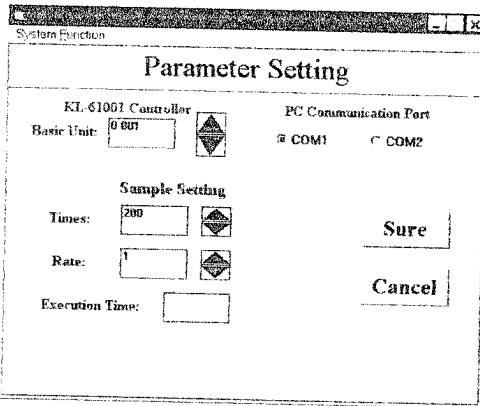


Figura 5.3. Panel de los parámetros de selección.

### 5.1.3 Panel de HMI, Display y Graficadores

En este apartado se presentan las ventanas que nos mostrarán los resultados de acuerdo a las aplicaciones invocadas, Temperatura, Peso y Desplazamiento. Se muestran en las Figuras 5.4, 5.5, 5.6, 5.7, 5.8 y 5.9, [8].

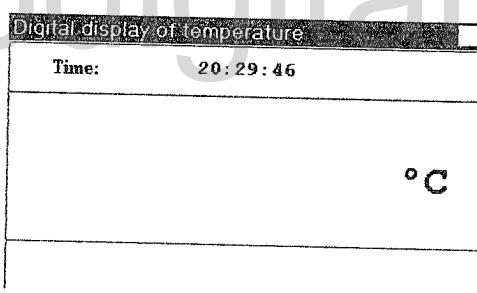


Figura 5.4. Panel de control para la aplicación de RTD y Termopar.

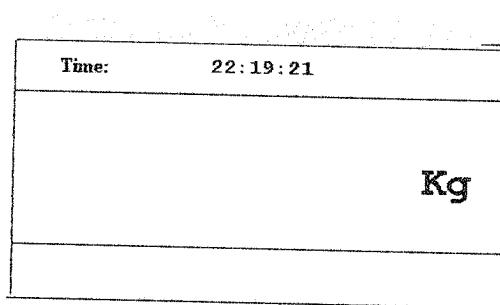


Figura 5.5 Panel de control para la aplicación de la Celda de carga.

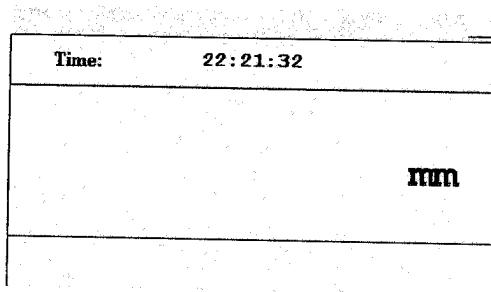


Figura 5.6 Panel de control para la aplicación del LVDT.

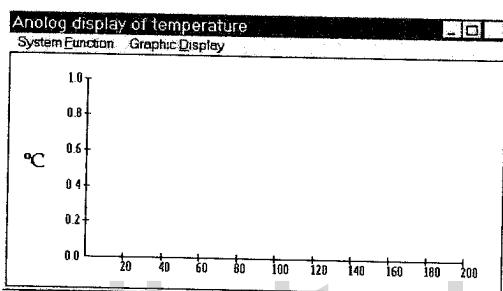


Figura 5.7. Monitoreo de muestras para la aplicación de RTD y Termopar.

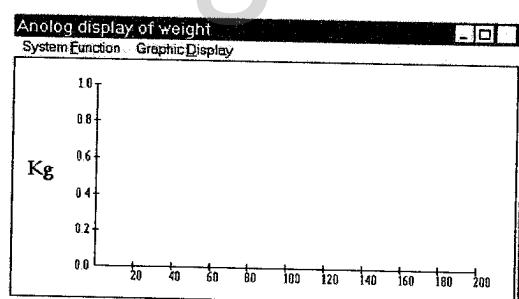


Figura 5.8. Monitoreo de muestras para la aplicación de Celdas de carga.

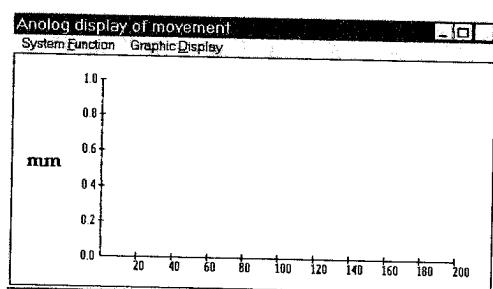


Figura 5.9. Monitoreo de muestras para la aplicación del LVDT.

### 5.1.4 Etapa de acondicionamiento de señal

En esta etapa se presentan los circuitos que se utilizan para acoplar las señales de las aplicaciones Temperatura, Peso y Desplazamiento. Como se muestra en las Figuras 5.10, 5.11, 5.12 y 5.13.

Estos acondicionadores de señal se conforman de la parte de amplificación y ajuste de compensación, pero no poseen la etapa de filtrado y acoplamiento, [8].

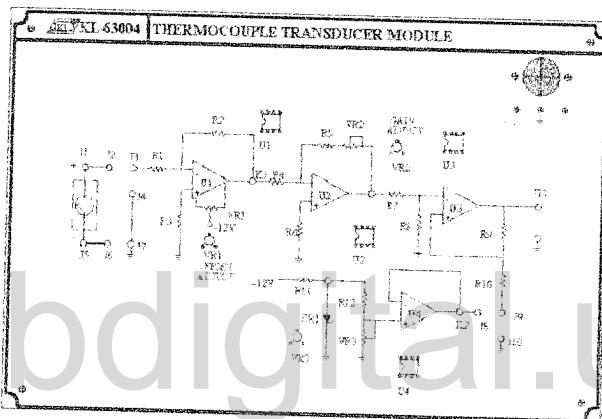


Figura 5.10. Acondicionador de señal de termopar.

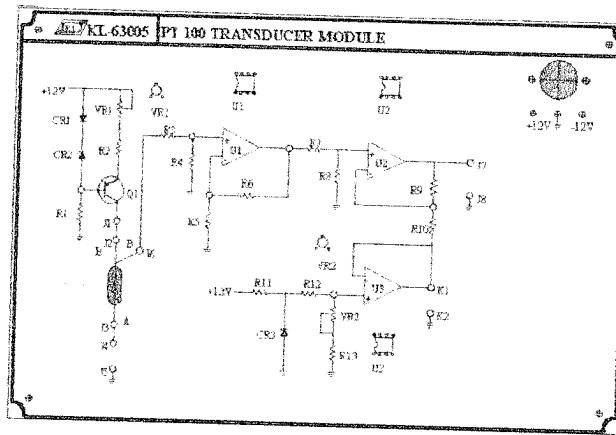


Figura 5.11. Acondicionadores de señal de RTD.

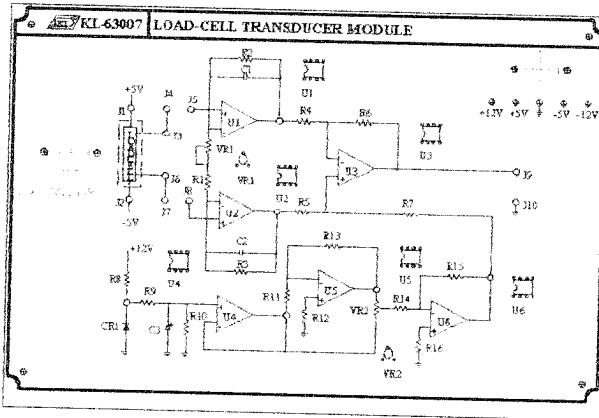


Figura 5.12. Acondicionadores de señal de Celdas de carga.

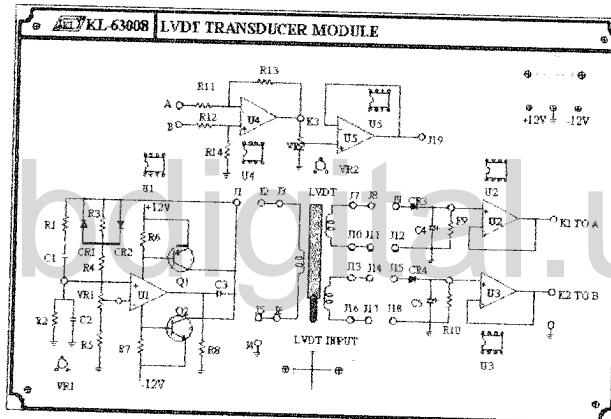


Figura 5.13. Acondicionadores de señal de LVDT.

## 5.2 Pruebas de la estación K&H y del prototipo

### 5.2.1 Estación K&H.

La estación K&H configura sus equipos para una toma de datos, en este caso ellos especifican los intervalos para realizar las medidas, estos intervalos están representados así, Tabla 5.1, 5.2 y 5.3:

TEMPERATURA HORNO	20 °C	25 °C	30 °C	35 °C	40 °C
HMI "RTD"	20,25	25,55	31,73	36,06	39,04
HMI "Termocupla"	19,60	22,40	26,82	31,88	37,22

Tabla 5.1. Datos de RTD y Termocuplas.

<b>PESO NORMALIZADO</b>	<b>0,5 kg</b>	<b>1 kg</b>	<b>2 kg</b>	<b>3 kg</b>	<b>5 kg</b>
HMI "Celda de carga"	0,427	0,868	1,750	2,633	4,095

Tabla 5.2. Datos de la carga de celda.

<b>DESPLAZAMIENTO NORMALIZADO</b>	<b>1 mm</b>	<b>2 mm</b>	<b>3 mm</b>	<b>4 mm</b>	<b>5 mm</b>
HMI "LVDT"	0,592	1,536	2,476	3,422	4,095

Tabla 5.3. Datos del LVDT.

### 5.2.2 Prototipo propuesto

Se toman las muestra con las mismas muestras propuesta por la compañía K&H, y también se presentan en las misma tablas los resultados.

<b>TEMPERATURA HORNO</b>	<b>20 °C</b>	<b>25 °C</b>	<b>30 °C</b>	<b>35 °C</b>	<b>40 °C</b>
HMI "RTD"	19,8	24,5	29,7	35,2	40,3
HMI "Termocuplas"	20,3	25,5	30,8	35,9	41

Tabla 5.4. Datos de RTD y Termocuplas por el prototipo propuesto.

<b>PESO NORMALIZADAS</b>	<b>0,5 kg</b>	<b>1 kg</b>	<b>2 kg</b>	<b>3 kg</b>	<b>5 kg</b>
HMI "Celda de carga"	0,47	0,880	1,80	2,72	3,96

Tabla 5.5 Datos del prototipo propuesto para la celda de carga.

<b>DESPLAZAMIENTO NORMALIZADO</b>	<b>1 mm</b>	<b>2 mm</b>	<b>3 mm</b>	<b>4 mm</b>	<b>5 mm</b>
HMI "LVDT"	0,96	1,97	2,89	3,95	4,96

Tabla 5.6. Datos del prototipo propuesto para el LVDT.

### 5.3 Comparación estadística de la estación K&H y del prototipo propuesto

Esta comparación se realiza utilizando la herramienta de estadística SPSS 7.2, comparando los datos de las tablas anteriores (5.1 hasta 5.6).

#### 5.3.1 RTD

	K&H	PROTOTIPO
<b>Múltiple R</b>	0.99219	0.99968
<b>R Square</b>	0.98444	0.99936
<b>Adjusted R Square</b>	0.97926	0.99915
<b>Standard Error</b>	1.10377	0.23875

Tabla 5.7. Comparación de datos del RTD con los dos sistemas de medida.

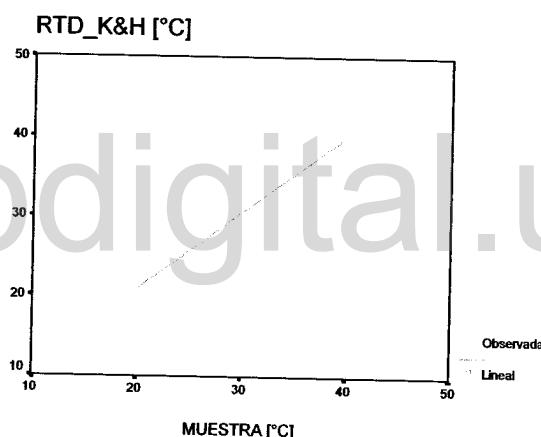


Figura 5.14. Muestras de RTD K&H.

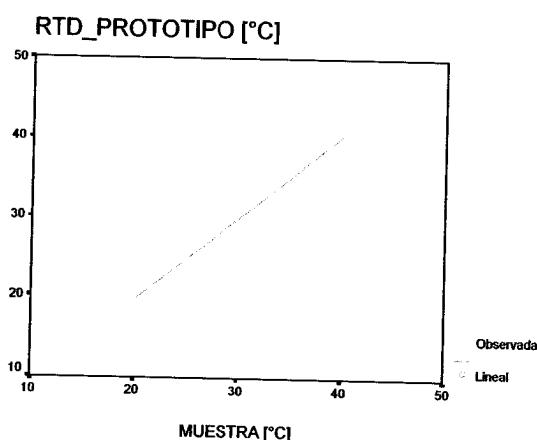


Figura 5.15. Muestras de RTD Prototipo.

### 5.3.2 Termopar

	K&H	PROTOTIPO
<b>Múltiple R</b>	0.99375	0.99997
<b>R Square</b>	0.98755	0.99994
<b>Adjusted R Square</b>	0.98339	0.99992
<b>Standard Error</b>	0.91689	0.07303

Tabla 5.8. Comparación de datos del termopar con los dos sistemas de medida.

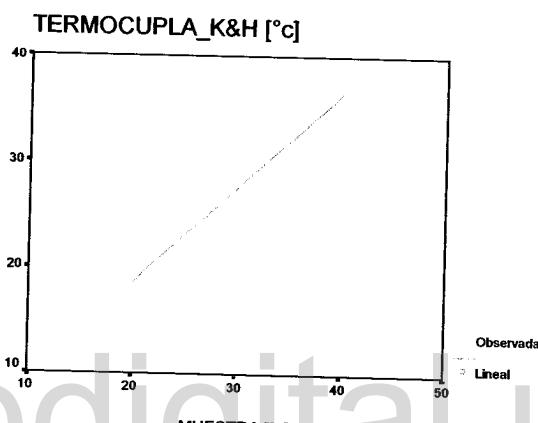


Figura 5.16 Muestra del Termopar K&H

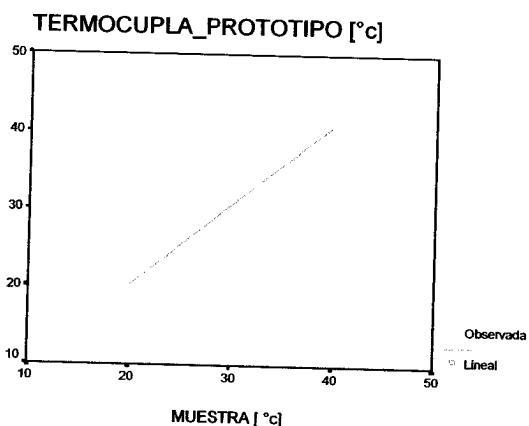


Figura 5.17 Muestra del Termopar Prototipo.

### 5.3.3 Carga de celda

	K&H	PROTOTIPO
Múltiple R	0.99877	0.99539
R Square	0.99755	0.99079
Adjusted R Square	0.99673	0.98772
Standard Error	0.08385	0.15658

Tabla 5.9. Comparación de datos de la celda de carga con los dos sistemas de medida.

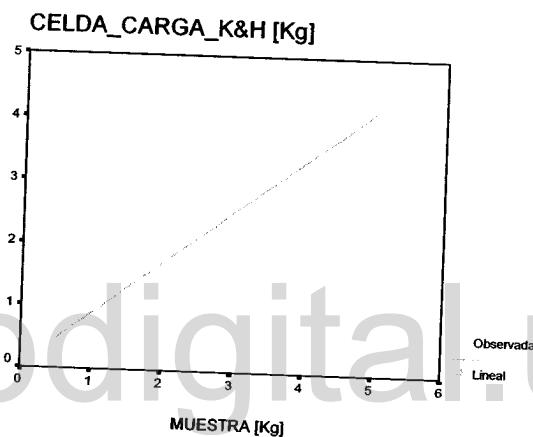


Figura 5.18. Muestra de celda de carga K&H.

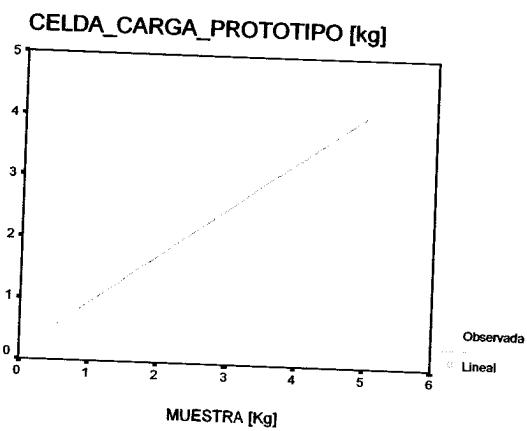


Figura 5.19. Muestra de celda de carga del prototipo.

### 5.3.4 LVDT

	K&H	PROTOTIPO
Múltiple R	0.99817	0.99980
R Square	0.99635	0.99959
Adjusted R Square	0.99514	0.99945
Standard Error	0.09824	0.03688

Tabla 5.10. Comparación de datos del LVDT con los dos sistemas de medida.

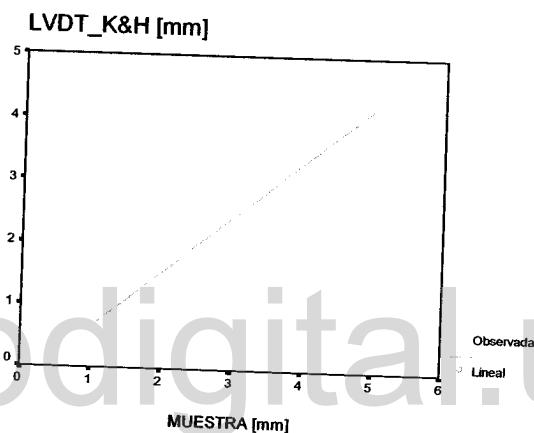


Figura 5.20. Muestra de LVDT K&H.

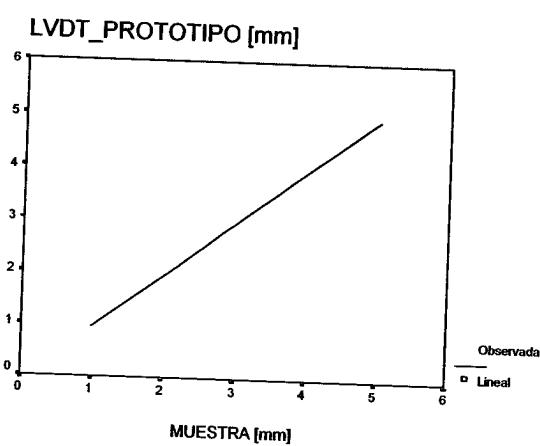


Figura 5.21. Muestra de LVDT Prototipo.

## **CONCLUSIONES**

- El prototipo propuesto es más económico en lo concerniente a los módulos didácticos que el sistema K&H y otros sistemas como (National Instrument).
- El prototipo propuesto es más flexible que el sistema didáctico K&H.
- La tecnología FPAA, es muy rentable, flexible, práctica, lineal y confiable.
- La tecnología FPAA es económica y muy fácil de adquirir en el mercado.
- El software de programación de las FPAAAs es muy práctico, amigable y sencillo de manipular.
- La metodología presentada en este proyecto para la implementación de un acondicionamiento de señal, proporciona un avance en el desarrollo de diversas aplicaciones en el área investigativa y extensiva de la UFPS.
- El prototipo propuesto con FPAAAs, es más lineal que el sistema de desarrollo de K&H.
- Este prototipo proporciona una herramienta didáctica muy interesante, porque nos enseña y conduce al conocimiento del mundo análogo.
- En una FPAA se puede implementar cualquier circuito de acondicionamiento de señal.
- La tecnología FPAA es un sistema que presenta una buena inmunidad al ruido radioeléctrico .

- El diseño de los acondicionadores de señal de los sensores: Termopares, RTD, LVDT y Celdas de carga; se hizo con el soporte directo de la compañía Anadigm y con las especificaciones proporcionadas por National Instrument, en lo concerniente a las variables de diseño como: Frecuencia de operación, Tensión de salida del sensor, Tensión de alimentación, amplificación, retención y comparación.
- Para el diseño de los sensores aquí utilizados se tuvo en cuenta la frecuencia de operación de 2 Hz a 20 Hz.
- Para el diseño de las etapas que conforman el sistema de acondicionamiento de los sensores utilizados, fue propuesto por la experiencia adquirida por la compañía Anadigm y criterios propios del autor de este trabajo.
- La implementación de los acondicionadores de señal de los diversos sensores propuestos en este trabajo, fueron realizados en los circuitos AN220E04, a través de la herramienta de simulación Anadigm.
- Para la implementación de los acondicionadores de señal, se escogió el fabricante de Anadigm respecto a Lattice y Zetex; por ser una compañía que da ventajas en la adquisición de los FPAs y también porque esta empresa ha investigado para ser la pionera en sus herramientas informáticas, el software de simulación es muy sencillo respecto a las demás. El número de celdas análogas CAB disponibles en el chip es más amplio. El número de funciones que se pueden programar en cada CAB es mayor.
- La herramienta HMI utilizada en esta tesis fue LabVIEW 6i de la Nacional Instrument, proporciona un amplio ambiente amigable y de gran aplicación en los procesos de monitoreo de los diversos sensores utilizados.

## **RECOMENDACIONES**

- Se recomienda que se implemente diversos acondicionadores de señal, como: presión, flujo, vibración, ph, viscosímetro, y otros.
- Se recomienda que se continué con la configuración dinámica a través del sistema de adquisición de datos propuestos en este prototipo.
- Se recomienda realizar un sistema en paralelo con diversos FPAA para aplicaciones más complejas.
- Se recomienda hacer un proceso en el que se pueda soldar los chips de FPAA en forma práctica y eficiente a los circuitos impresos diseñados para las diferentes aplicaciones.
- Se recomienda hacer cursos más profundos en el campo de los circuitos analógicos en esta área de la instrumentación.

## **REFERENCIAS BIBLIOGRAFICAS**

- [1] Ramón Pallas Areny, Libro, “Sensores y Acondicionadores de Señal”, Proporciona los fundamentos desde el punto académico y científicos de los sensores y acondicionadores de señal en general. 3 edición, Alfaomega, Marcombo
- [2] F. J. Ferrero, Guías de estudio, “Sensores y acondicionadores de señal”, esta guías nos presenta sobre conceptos y fundamentos en los referentes a los sensores y acondicionadores de señal en general.
- [3] Vincent C. Gaudet and P. Glenn Gulak, artículo, “Implementation Issues for High-Bandwidth Field-Programmable Analog Arrays”, describe un tutorial sobre la introducción o conceptos básicos de la tecnología FPAA.
- [4] Ricardo S. Zebulum, Adrian Stoica y Didier Keymeulen, artículo “The Design Process of an Evolutionary Oriented Reconfigurable Architecture”, describe el diseño de los dispositivos reconfigurables y orienta a la implementación en el campo del hardware.
- [5] Edison Duque C, manual, “Curso Avanzado de Microcontroladores PIC”, Este curso da una idea general sobre el uso, utilización, conocimiento y manipulación de la familia PIC.
- [6] Jordie Maide, manual, “Guía didáctica del 68HC08”, se refiere a las diversas características del microcontrolador de la familia Motorola.
- [7] Tutorial de acondicionamiento de señal, por la national instrument, presentan el proceso general de la adquisición de datos desde el sensor hasta el PC.
- [8] Kig Instrument Electronics CO., LTD. Module experiment manual, KL-600 MPA Sencons, Microcomputer sensing control system. K&H.
- [9] Angel Garcimartin Montero, Sistema de medida y adquisición de datos, Universidad de Navarra, E-31080 Pamplona, Navarra. Dpto de física y matemática aplicada, Facultad de ciencias, página 88.

- [10] Roque Caicedo Grueso y Jaime Velasco Medina, Grupo de Bioelectrónica y Nanoelectrónica, EIEE, Universidad del Valle, Cali, Colombia, Diseño de circuitos análogos utilizando FPAAAs , Septiembre 2002.
- [11] Jordi Mayné, Manual, Sensores Acondicionadores y Procesadores de señal, SILICA, An Avnet División, Ingeniero de aplicaciones. pag 65. 2003.
- [12] Mark N. Horenstein, Libro, Microelectrónica Circuitos y Dispositivos, segunda edición, Prentice hall.
- [13] Anadigm, manual, hardware y software, FPAA, Copyright 2003 anadigm, Inc, All Rights Reserved. [www.anadigm.com](http://www.anadigm.com).
- [14] Christian Birk, tesis de maestría “Aplication and evaluation of FPAA” ICSEE, San Diego, California, Jan. 11-14, 1998.
- [15] D. Anderson, C. Birk, O. A. Palusinski, M. Spitz, K. Reiss, artículo “Interconnect effects on performance of Field Programmable Analog Array”, Motorola, SPS, Phoenix, Arizona, USA, University of Karlsruhe, Karlsruhe, Germany, University of Arizona, Tucson, Arizona, USA, Technical University of Poznan, Poland.
- [16] Tao Wu, artículo, “Simulation and Design of Mixed-signal Circuits for prototyping using Field Programmable Analog Array Technology” Department of Electrical and Computer Engineering, The University of Arizona, Tucson, AZ 85721.
- [17] M. Kouider, M. Nadi and D. Kourtiche, articulo “Sensors Auto-calibration Method - Using Programmable Interface Circuit Front-end”.
- [18] Olgierd A. Palusinski, David Anderson\*, Doug Gettman, Cezary Marcjan\*, Howard Anderson, artículo “Motorola Field Programmable Analog Arrays in Simulation, Control, and Circuit Design Laboratories”.
- [19] Stuart J Flockton and Kevin Sheehan, escrito “Intrinsic Circuit Evolution Using Programmable Analogue Arrays”.
- [20] Monte Mar, Bert Sullam, and Eric Blom articulo “An Architecture for a Programmable Mixed-Signal Device”.
- [21] V. Illa, J. Batlle, X. Cufí, R. García, articulo “recent trends in fpaa devices”.

- [22] Cornel Reiser, Lech Znamirowski, Olgierd A. Palusinski, Sarma B.K.Vrudhula, Daler Rakhmatov artículo “dynamically reconfigurable analog/digital hardware -implementation using fpga and fpaa technologies”.
- [23] Ricardo Salem Zebulum, Cristina Costa Santini, Helio Takahiro Sinohara, artículo “A Reconfigurable Platform for the Automatic Synthesis of Analog Circuits”.
- [24] Ricardo S. Zebulum, Adrian Stoica y Didier Keymeulen, artículo “The Design Process of an Evolutionary Oriented Reconfigurable Architecture”.
- [25] R. Timothy Edwards, Kim Strohbehn, Steven E. Jaskulek, and Richard Katz, artículo, “Analog Module Architecture for Space-Qualified Field-ProgrammableMixed-Signal Arrays”.
- [26] Vincent C. Gaudet and P. Glenn Gulak, artículo, “Implementation Issues for High-Bandwidth Field-Programmable Analog Arrays”.
- [27] Sree Ganesan and Ranga Vemuri, artículo, “Technology Mapping and Retargeting for Field-Programmable Analog Arrays”.
- [28] Juan Cordonnier, Nicolás Falcone, La Energía Eólica y los Sistemas de Adquisición, laboratorio de energías alternativas (GEEAA) de la Facultad de Ingeniería de la Universidad Nacional de Mar del Plata, [nfalcone@copetel.com.ar](mailto:nfalcone@copetel.com.ar) y [sorrentino@speedv.com.ar](mailto:sorrentino@speedv.com.ar)
- [29] Marcos J Gómez, sistema portátil para realizar mediciones fotométricas basados en instrumentación virtual, Electricidad de Caracas AES. Comisión de integración energética regional CIER.
- [30] Rafael Chacón Rúgeles, la instrumentación virtual en la enseñanza de la ingeniería electrónica, Carrera de Ingeniería Electrónica / Universidad del Táchira (UNET-Venezuela) [rafael\\_chacon\\_itde@emfanet.com](mailto:rafael_chacon_itde@emfanet.com).
- [31] J. Galván, D. Ramírez, J. Torrez, sistema de control para el patrón nacional de par torsional , Centro nacional de metroología CENAM.
- [32] César San Martín, Flavio Torres, laboratorios virtuales. Uso de internet para el trabajo colaborativo, Depto. Ing. Eléctrica - Universidad de La Frontera Casilla 54 –D Temuco Email: [csmarti@ufro.cl](mailto:csmarti@ufro.cl).
- [33] Elvira Gaytán Gallardo, Fco. Javier Ramírez Jiménez, Víctor M. Tovar Muñoz ,Sistema de medición de los parámetros de operación para máquinas de rayos x, ([firj@nuclear.inin.mx](mailto:firj@nuclear.inin.mx)).

- [34] Juan José Gude, Iratxe Riera, Julián Hernández, Evaristo Kahoraho, prácticas de instrumentación electrónica: un enfoque desde la didáctica hasta la aplicación industrial, Facultad de Ingeniería. Universidad de Deusto [jgude@eside.deusto.es](mailto:jgude@eside.deusto.es).
- [35] Neira Domínguez, Carmen de Haro, Roset Mas, Desarrollo de instrumentación virtual para biosensores amperimétricos, instituto de transductores de microelectrónica de Barcelona (IMB-CNM) campus UAB. [Nerina.Domínguez@cnm.es](mailto:Nerina.Domínguez@cnm.es).
- [36] Hugo Valderrama, Luís Guasch, Lluís Massagués, Adquisición de Datos e Instrumentación para un Laboratorio Docente de Máquinas Eléctricas, Dept. d'Enginyeria Electrònica, Elèctrica i Automàtica, Universitat Rovira i Virgili. Escola Tècnica Superior d'Enginyeria (ETSE). Autovia de Salou s/n, 43006 Tarragona. email:[hvalde@etse.urv.es](mailto:hvalde@etse.urv.es) – [llguasch@etse.urv.es](mailto:llguasch@etse.urv.es) – [llmassag@etse.urv.es](mailto:llmassag@etse.urv.es)
- [37] Francesc Rocadenbosch, Michaël Sicard, subsistemas electrónicos de control y adquisición de muy baja intensidad para el sondeo radar láser de la contaminación atmosférica, Grup d'Enginyeria Electromagnètica y Fotònica , [roca@tsc.upc.es](mailto:roca@tsc.upc.es) (D4-016).
- [38] D. Hoyos, N. Salvo, laboratorio virtual para instrumentación en energías renovables, INENCO -Universidad Nacional de Salta Centro Regional de Investigaciones Científicas y Tecnológicas - CRICYT C.C.131 C.P. 5500 – Mendoza Tel. 0387-4255424 e-mail: [hoyosd@unsa.edu.ar](mailto:hoyosd@unsa.edu.ar) -[nahuel@unsa.edu.ar](mailto:nahuel@unsa.edu.ar).
- [39] Miguel Mejias Moreno, diseño y desarrollo de instrumentación para caracterización hidráulica de formaciones de baja permeabilidad, operatividad de la instrumentación en aguas subterráneas. suelos contaminados y riesgos geológicos. igme. madrid 2003. ISBN: 84-7840-485-6.
- [40] Chaparro Sánchez Ricardo, Dorantes Torres, red de control para la automatización de aulas y laboratorios escolares, Chavero Dorantes Job Ismael Universidad Autónoma de Querétaro. Facultad de Informática. Unidad de Investigación y Desarrollo Tecnológico. Centro Universitario, Cerro de las Campanas. 76010 Querétaro, Qro. Fax / Tel: (4) 2 16 84 30. [rchapa@sunserver.uaq.mx](mailto:rchapa@sunserver.uaq.mx)
- [41] Chia-Nan Chang, Hui-Kang Teng, Jun-Yuan Chen, and Huang-Jen Chiu, Computerized Conducted EMI Filter Design System Using LabVIEW and Its Application, Department of Electronic Engineering National Taiwan University of Science and Technology Taipei, Taiwan, R.O.C. (Received May 1, 2000; Accepted August 7, 2000).
- [42] Jorge Andrés Baena, manual, “utilización de codewarrior v.2.0 con simulación de pemicro Para proyectos en lenguaje c para microcontroladores”, <http://microe.udea.edu.co/cursos/ieo-944/files/demoHC08>.

- [43] M. Kouider, M. Nadi and D. Kourtiche, Sensors Auto-calibration Method - Using Programmable Interface Circuit Front-end, Laboratoire d'Instrumentation Electronique de Nancy, Université Henri Poincaré Nancy-1, BP 239, 54506 Vandoeuvre, France
- [44] F. J. Ferrero E.P.S. Ingeniería de Gijón, talleres, instrumentación electrónica.
- [45] Jhon P. Bentley, Libro, Sistema de medición principios y aplicaciones, 2 edición, CECSA.

[www.bdigital.ula.ve](http://www.bdigital.ula.ve)