

#### 3.2.3.4 AMPLIFICADOR DE SALIDA

Esta etapa tiene la finalidad de elevar el nivel de la corriente, en el primario de los transformadores de pulso, de manera que estos transfieran suficiente energía al secundario, para manejar las puertas de los thyristores. Esta formada por transformadores MOSFET de potencia del tipo MTP5N40, figura 24, que permite manejar hasta 4 Amp con 400 volt, y un diodo tipo 1N4005 en paralelo al primario, con el objeto de extinguir la corriente en el primario del transformador de pulso, manteniendo la tensión en el circuito de control en valores seguros.

#### 3.2.3.5 DESACOPLE DE ETAPAS DE CONTROL Y POTENCIA

Esta etapa esta formada por los transformadores de pulso, que se encargan de aislar la etapa de potencia de la de control, se construyen con un núcleo de ferrita, sobre el cual se devanan tres bobinas aisladas eléctricamente una de la otra, se debe tomar la precaución de aislarlas correctamente, pues los bornes del secundario estarán expuestos a los niveles de tensión que se generarán en los SCR al producirse las correspondientes conmutaciones. En el punto 3.2.2, se considera, el poder disponer del transformador de pulso, que pueda mantener, la señal por 500useg. Con los que se dispone no es posible lograr ese rango voltaje-tiempo. Para subsanar ese inconveniente y poder lograr mantener el ancho mínimo recomendado, se puede generar un tren de pulsos con duración total de 500useg, con un ancho de cada pulso igual al máximo permitido por los transformadores usados, al realizar las pruebas con estos transformadores se obtuvo sus mejores características para un tren de pulsos 40 KHz con ciclo de traba-

secundarios de cada transformador son alambrados, de manera tal, que presenten, en cada puerta de los SCR, el par de pulsos desfasados  $60^\circ$  como se indicó en 3.2.2, en la figura 24 se muestran los transformadores y sus secundarios con la interconexión correspondiente. El diodo colocado a la salida es con el fin de rectificar los pulsos en el secundario, tomando solo los positivos, protegiendo así las puertas de los SCR.

### 3.2.3.5 DETECTOR DE SECUENCIA DE FASES

La finalidad de este módulo es la de asegurar, en el módulo GENERADOR DE PULSOS, siempre se encuentre la correcta secuencia en las señales de sincronización. En caso de no cumplirse, el puente funcionara erróneamente. Este módulo genera un señal luminosa de alarma, de manera que el operario proceda a realizar las correcciones en la secuencia de fases. La figura 25 muestra el montaje. Esta formado por una compuerta NAND que realiza el

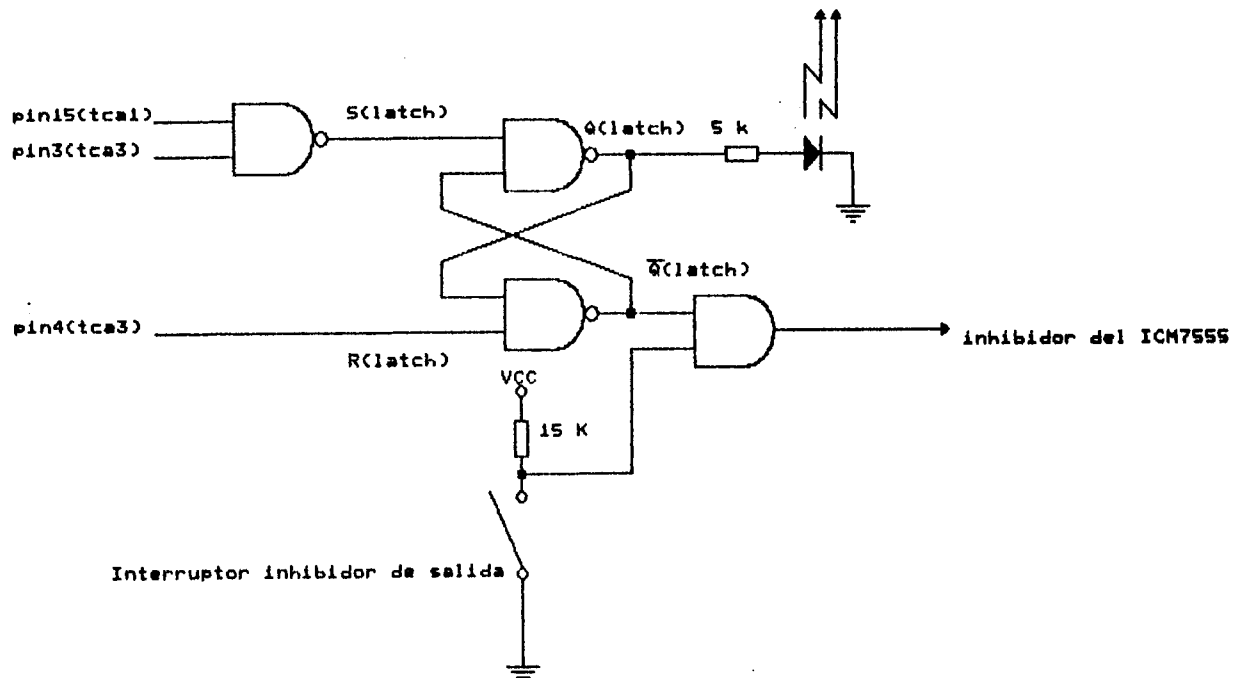


Figura 26: Circuito detector de secuencia de fases

producto lógico negado de las salidas escogidas del primer TCA 785 y el tercero, en la figura 26 se muestra, para una secuencia de fases correcta, el diagrama de temporización que se genera. Como puede observarse, con secuencia correcta la compuerta siempre tendrá a su salida un nivel lógico alto. Por el contrario, si la secuencia es incorrecta, figura 27, se generara a su salida, por un instante, un nivel lógico bajo. La salida de esta compuerta es llevada a la entrada S de un latch RS (almacén asincrónico), realizado en lógica alambrada, con dos compuertas

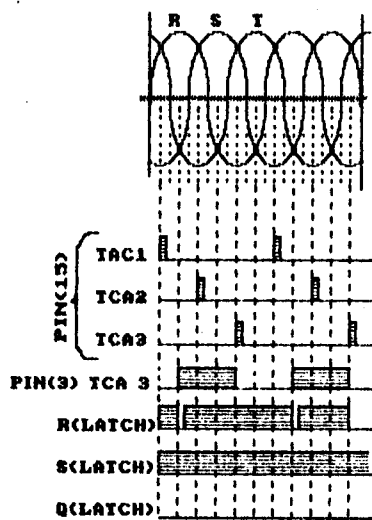


Figura 27: Diagrama de temporización para secuencia de fase correcta

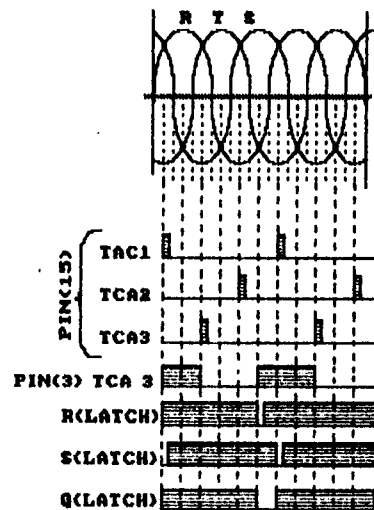


Figura 28: Diagrama de temporización para secuencia de fase incorrecta

NAND, que permitirá retener la información de la etapa anterior. El latch RS es controlado en su entrada R, para recolocar, en cada ciclo de la onda de referencia. La salida Q del latch se lleva a un diodo emisor de luz (LED rojo). De acuerdo a los diagramas de temporización este LED permanecerá apagado mientras la secuencia sea la correcta, y permanecerá encendido desde el

la secuencia sea la correcta, y permanecerá encendido desde el momento de detectar el pulso de secuencia incorrecta, hasta el pulso de recolocación del latch. El efecto para el observador, es de una señal constante de advertencia.

#### 4 RESULTADOS Y RECOMENDACIONES

Los ensayos para la determinación del modelo de la máquina DC son sencillos, se deben usar aparatos de medida de buena precisión y realizar cuidadosamente las medidas para que los resultados sean confiables. El inconveniente que se presentó fue en la medida de la velocidad y potencia para el caso de separación de pérdidas, en el cual, la medida, debe ser lo más precisa posible. En éste se usó el efecto estroboscópico para obtener la velocidad de sincronismo, que permite buena precisión, pero que se perdió en el wattímetro usado. Es recomendable, para afinar mejor los resultados, el uso de dos wattímetros en serie, tomando las correspondientes medidas de protección en cada uno, uno para la medida de potencias del orden de cientos de watt y otro por decenas de watt.

La máquina DC usada presentó problemas de aislamiento en los bornes de conexión del campo. Se tuvieron que cambiar para solucionar el problema. La causa principal del daño se debe a lo altamente inductivo del circuito del campo, que causa, en cada desconexión del campo, un alto esfuerzo dieléctrico en el aislamiento que con el tiempo lo fue deteriorando.

El modelo de la máquina se puede mejorar, si se usan ensayos que tomen en cuenta la verdadera contribución de cada parámetro en el circuito.

La simulación del modelo, revela el comportamiento de la máquina, lo que permite ajustarlo a real. Se debe ser cuidadoso en el uso de la herramienta de computación para evitar los pro-

blemas de convergencia que ésta presenta.

Las pruebas con el CI TCA 785 permitieron comprobar, que este dispone, de las funciones mínimas necesarias para lograr el accionamiento por control de fase, a saber: Sincronización de la señal, Comparación con niveles de referencia, Generación de pulsos de disparo y lógica de control.

Al hacer las pruebas con los transformadores de pulso se pudo determinar, que, con un número de espiras (12), en cada devanado, relación 1:1:1, y el núcleo de ferrita de que se dispone, se logra obtener pulsos a la salida, de 12 volt en vacío, con un ancho máximo de 10 useg, con una corriente pico en el primario de 2,5 amp. No se puede aumentar más la corriente, pues se corre el peligro de exceder la capacidad del alambre conductor usado en los devanados. El tamaño del núcleo no permite, manteniendo un aislamiento adecuado entre devanados, aumentar el número de espiras.

Para subsanar el problema, de lo angosto del pulso, se optó por la solución descrita en 3.2.3.4.

Con una carga en el secundario, similar a la que presenta la puerta del SCR, 25 ohm, la tensión pico, en el secundario baja a 2 volt, manteniendo las mismas condiciones en el primario. Con este último resultado, comparando con los datos de la puerta de los SCR, se pudo establecer, que, el transformador así diseñado, puede manejar los niveles de tensión y corriente requeridos por el thyristor.

Al colocar el SCR se obtuvo el mismo resultado anterior.

Los primeros ensayos con el montaje completo, permito obser-

var, la necesidad, de asegurar que, la secuencia de fase, fuese la correcta. Con secuencia incorrecta, el funcionamiento es errático, el control es discontinuo, no habiendo una relación continua lineal entre la posición del potenciómetro y el ángulo de disparo de los SCR del puente.

Con secuencia correcta y cargando el puente con resistencias se obtuvieron las formas de onda esperadas en teoría.

Se presentó una falla en uno de los transformadores de pulso, por lo que hubo de mejorarse el aislamiento entre devanados.

Dentro de cierto rango, de ángulos de disparo, se presentó un alto nivel de ruido en la fuente de alimentación, del circuito de control, haciendo que el puente funcionase en forma errática, al producirse pulsos de disparo aleatorios. En función de tratar de eliminar la falla, se hizo un mejor filtraje de la alimentación de cada circuito integrado, y se cambió el oscilador de tecnología bipolar por tecnología MOS, disminuyendo el fenómeno. Es recomendable usar una fuente de alimentación con mayor capacidad y que permita un mejor filtraje del ruido. Así como también realizar un buen blindaje del circuito de control.

La respuesta del puente no es inmediata a los cambios, en el potenciómetro de ajuste del ángulo de disparo, esto es debido a la protección que se ha añadido con el condensador de retardo, de esta manera el arranque, en condiciones normales, es suave sin exigir un cambio abrupto de la corriente.

Comparativamente entre el sistema anterior de accionamiento y este diseño, este montaje ocupa menos espacio, presenta un mejor rizado de la onda, la caída de tensión en los dispositivos

es menor, el mantenimiento es menos costoso y menos frecuente. Con circuitos adicionales sencillos es posible usarlo como inversor y, además, lograr el control a lazo cerrado; de velocidad, para accionamientos a velocidad constante y ajustable, y de corriente para una mejor protección electrónica del sistema. En favor del sistema anterior, este presenta menos contenido armónico a bajas velocidades que el diseño montado, y dispone de protecciones más sencillas.

En general el diseño es capaz de accionar la máquina DC pudiendo regular, manualmente, con la ayuda de un simple potenciómetro, la velocidad. Sin embargo, para que el diseño sea más confiable se le debe agregar otras protecciones electrónicas sencillas de implementar, tales como; Detección de sobrecorriente; Detección de pérdida de campo, estas son posible realizar con el uso de sensores de corriente de efecto Hall, en conjunto con comparadores; Detección de pérdida de fase, posible realizarla con lógica alambrada y las salidas de los TCA 785.; Detección de velocidad cero, para el arranque automático; Detección de corriente cero, para el funcionamiento como inversor; y otras según el accionamiento que se pretenda realizar.



## 5 CONCLUSIONES

- 5.1 .- El modelo de la máquina no corresponde al dado tradicionalmente
- 5.2 .- La obtención de un modelo real de la máquina es una tarea laboriosa y requiere de instrumentos de buena precisión
- 5.3 .- Se debe tomar precauciones en el aislamiento de los transformadores de pulso, más si estos son ensamblados por el usuario.
- 5.4 .- El montaje realizado es fácil de entender y aplicar, gracias al CI TCA 785.
- 5.5 .- El puente, con el diseño de las protecciones adicionales, será un equipo con grandes méritos para el uso didáctico en la enseñanza de Ingeniería Eléctrica y Electrónica de Potencia.
- 5.6 .- La circuitería montada puede ser aplicada a otros tipos de convertidores sin grandes cambios. Como es el caso de Convertidores AC/AC
- 5.7 .- El Software usado para la simulación es sencillo de manejar y da una respuesta, relativamente rápida, del comportamiento del circuito.
- 5.8 .- Se debe tener precauciones, en el uso del PSpice, para evitar problemas de convergencia.

## BIBLIOGRAFIA

- 1 Paresh C. Sen "Electric Motor Drivers and Control-Past, Present, and Future", IEEE Trans. Industry Appl. Vol 37 No 6 Diciembre 1990.
- 2 S.A. Nasar "Electromecánica y Máquinas Eléctricas" Limusa. 1982.
- 3 S. J. Chapman. "Máquinas Eléctricas" Mc Graw Hill. 1989
- 4 G. McPherson. "Introducción a Máquinas Eléctricas y Transformadores". Limusa. 1987.
- 5 Barna Szabados. "Dynamic Measurements of the Main Electrical Parameters of a Dc Machine" IEEE Vol IGA-7 No1. Enero/Febrero 1971.
- 6 Vincent G. Bello "Electrical models of mechanical units Widen simulator's scope" EDN. Marzo 28, 1991
- 7 Muhammad H. Rashid. "SPICE for Circuits and Electronics Using PSpice" Prentice-Hall International, Inc. 1990.
- 8 B. R. Pelly "Thyristor Phase-Controlled Converters and Cycloconverters" John Wiley & Sons, 1971.
- 9 P. C. Sen. "Thyristor DC Drives" John Wiley & Sons. 1981.
- 10 Alvert Kloss "A Basic Guide to Power Electronics" John Wiley & Sons, 1984
- 11 General Electric Co., "General Electric SCR Manual, Fifth Edition, Electronics Park, Syracuse, NY, 1977.
- 12 G K Dubey "Thyristorised Power Controllers" John Wiley & Sons, 1987.
- 13 Werner Schott. "Rectifier Converter Using Thyristors and the TCA 785 Integrated Phase Control" Part 1. Siemens Components XX (1985) No 4.
- 14 Siemens Aktiengesellschaft 1987 pp304-320
- 15 Werner Schott. "Rectifier Converter Using Thyristors and the TCA 785 Integrated Phase Control" Part 2. Siemens Components XX (1985) No 5.

**ANEXO 1**

Figura 3: REGISTRO DE CAIDA DE VELOCIDAD SIN EL CAMPO DE EXCITACION CONECTADO  
EJE X(1:4 seg) , EJE Y( 21.6 cm = 2000 rpm).

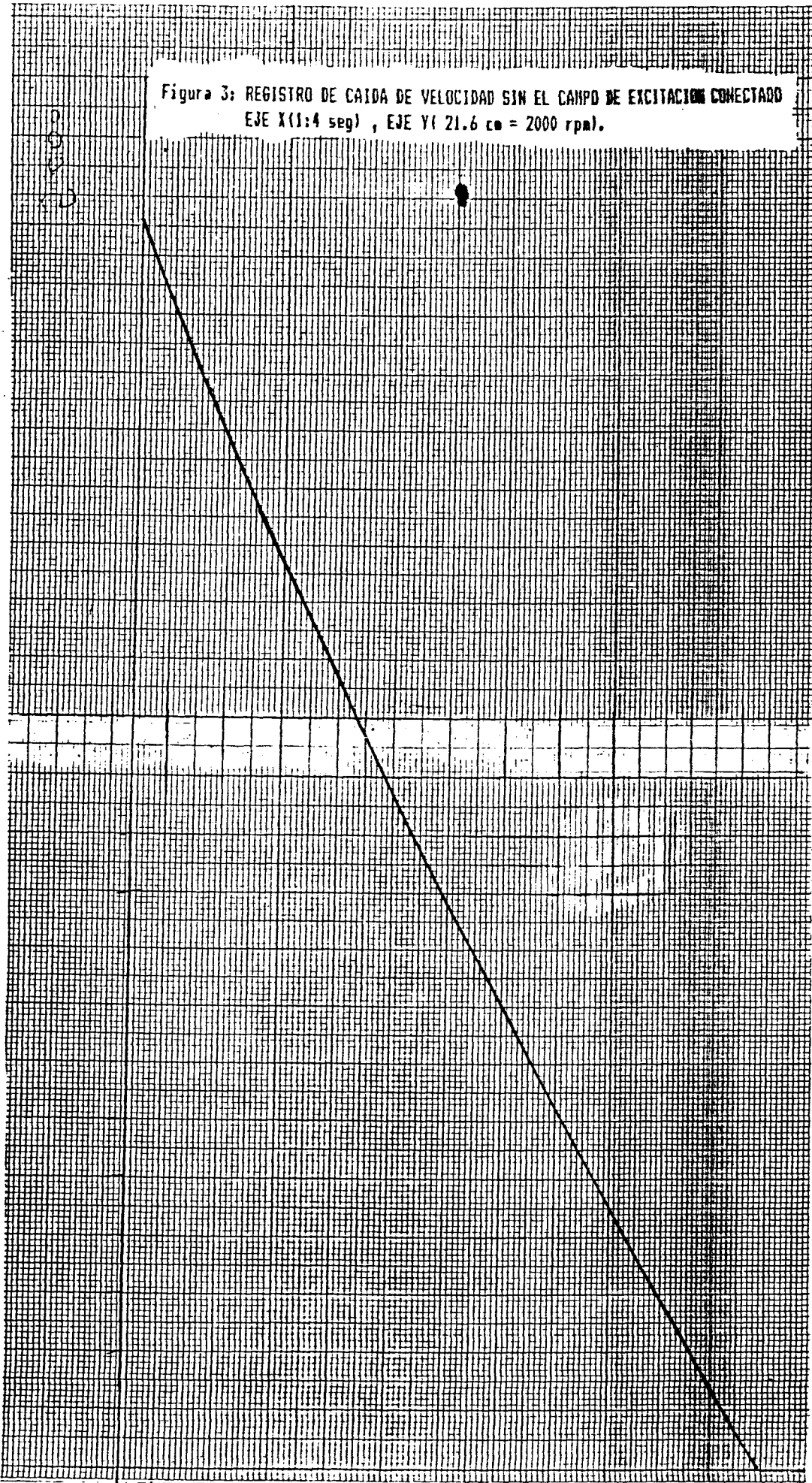
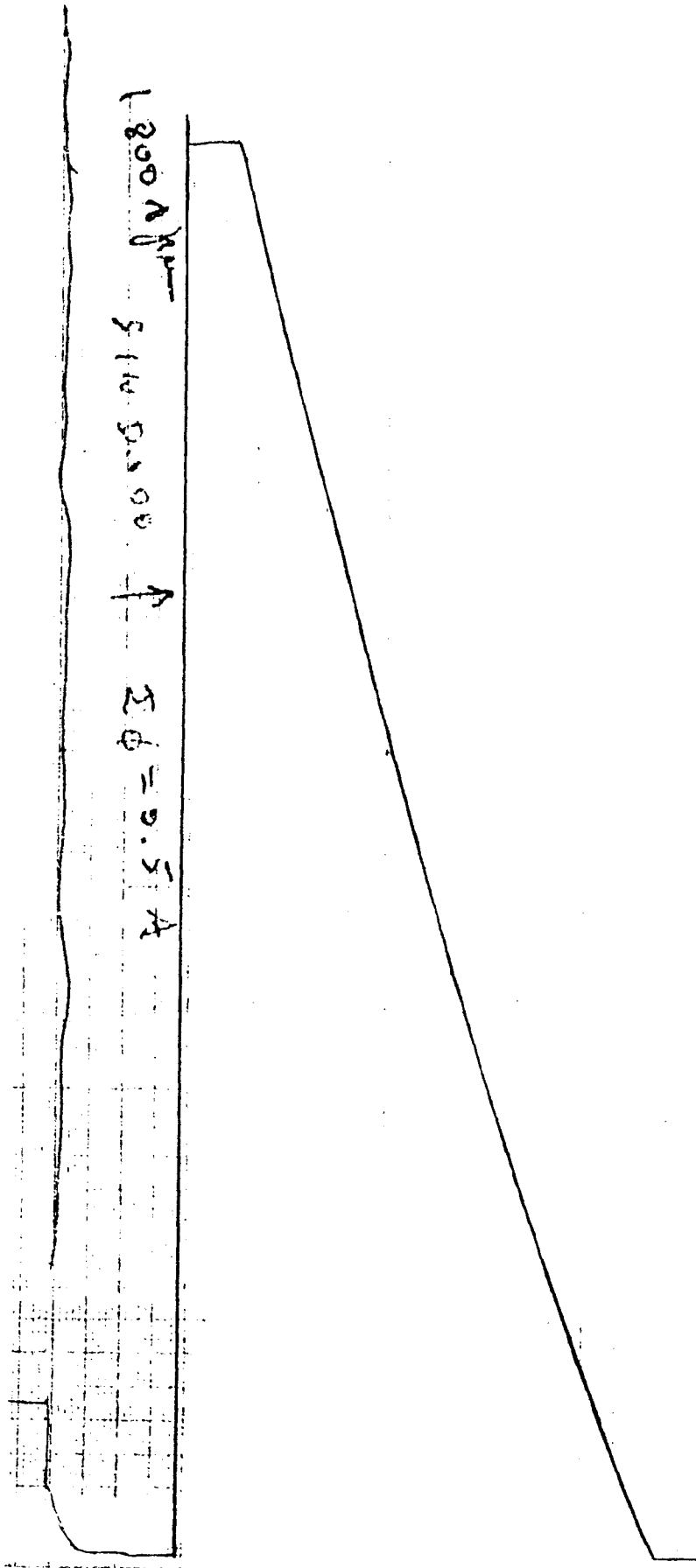


Figura 4: REGISTRO DE CAIDA DE VELOCIDAD CON EL CAMPO ENERGIZADO  
EJE X(1:4 seg) , EJE Y( 21.1 cm = 1800 rpm).



\*MODELO DE UNA MAQUINA DC  
\*DE ECITACION INDEPENDIENTE CON COEFICIENTE DE FRICCION CTE  
VIN 1 0 PML(0 0 03 230 9 240 12 240 12.05 305 12.2 275 19 275 19.5 0 22 0)  
VEXP 2 1 EXP( 0 35 12.2 1 19 .5)  
DI 2 3 DMOD  
RA 3 4 1.58  
LA 4 5 16.2MH ic=0.0  
VA 5 6 0.0  
EB 6 0 7 0 1.40  
FTM 0 10 VA 1.40  
RBM 7 0 118.48  
CJM 7 0 0.18 ic=0.0  
ETC 8 0 7 0 9.549  
RTC 8 0 16  
VI07 10 7 0.0  
RSAL 7 0 10MEG  
RPRD 10 0 10MEG

\*MODELO DE UNA MAQUINA DC  
\*DE ECITACION INDEPENDIENTE CON PAR DE FRICCION Y DE CARGA CTE  
VIN 1 0 PML(0 0 03 230 9 240 12 240 12.05 305 12.2 275 19 275 19.5 0 22 0)  
VEXP 2 1 EXP( 0 35 12.2 1 19 .5)  
DI 2 3 DMOD  
RA 3 4 1.58  
LA 4 5 16.2MH ic=0.0  
VA 5 6 0.0  
EB 6 0 7 0 1.40  
FTM 0 10 VA 1.40  
CJM 7 0 0.18 ic=0.0  
ITL 10 0 19  
ETC 8 0 7 0 9.549  
RTC 8 0 16  
SI 10 7 10 0 SMOD  
RSAL 7 0 10MEG  
RPRD 10 0 10MEG

ANEXO 2

INTERNATIONAL RECTIFIER



**IRKT26, 41, 56, 71, 91; IRKH26, 41, 56, 71, 91;  
IRKL26, 41, 56, 71, 91; SERIES**

**25A, 40A, 55A, 70A, 90A, ADD-A-pak™ power  
thyristor/diode and thyristor/thyristor modules**

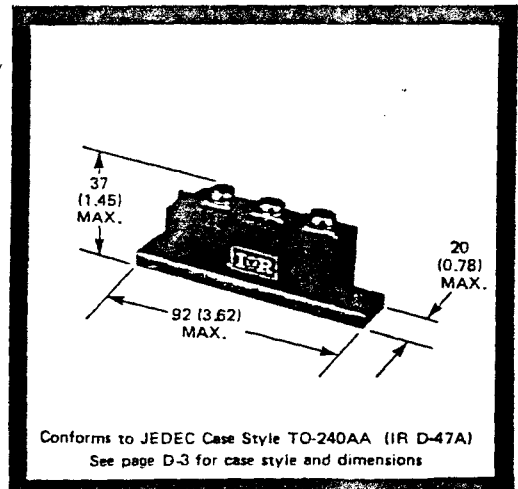
**Description**

The IRK Series of ADD-A-paks use power diodes and power thyristors in a variety of circuit configurations. The semiconductors are electrically isolated from the metal base, allowing common heatsinks and compact assemblies to be built. They can be interconnected to form single or three phase bridges or AC controllers. These modules are intended for general purpose phase control applications in converters, battery chargers, regulated power supplies, lighting circuits, and temperature and motor speed control circuits.

**Features**

- Glass passivated junctions for greater reliability.
- Electrically isolated base plate.
- Standard JEDEC package.
- Simplifies mechanical designs, rapid assembly.
- Auxiliary cathode terminals for wiring convenience.
- High surge capability.
- Wide choice of circuit configurations.
- Large creepage distances.

- UL recognised



**Major ratings and characteristics**

	IRKT26.. IRKH26.. IRKL26..	IRKT41.. IRKH41.. IRKL41..	IRKT56.. IRKH56.. IRKL56..	IRKT71.. IRKH71.. IRKL71..	IRKT91.. IRKH91.. IRKL91..	Units		
$I_{T(AV)}$	25	40	55	70	90	A	IRKT... + ○ — <— <— <— <— <— ○ —	
$I_O(RMS)$ ①	55.5	89	122	155	200	A	IRKH... + ○ — <— <— <— <— <— ○ —	
$I_{TSM}$	50Hz	595	850	1310	1665	1785		A
	60Hz	625	890	1370	1740	1870		A
$I_t^2$	50Hz	1770	3610	8500	13 860	15 910	A <sup>2</sup> s	IRKL... + ○ — <— <— <— <— <— ○ —
	60Hz	1615	3300	7815	12 560	14 525	A <sup>2</sup> s	
$I_t^2\sqrt{t}$	17 700	36 125	85 600	138 600	159 100	A <sup>2</sup> √s		
$V_{RRM}$	400 to 1200					V		
$T_J$	-40 to 125					°C		

NOTE: Fast recovery/fast  $T_J$  versions also available. Contact IR sales office for more information.

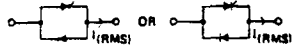
① As AC switch



**ELECTRICAL SPECIFICATIONS**  
Voltage Ratings

Type number			Voltage Code	V <sub>RRM</sub> , max. repetitive peak reverse voltage	V <sub>RSM</sub> , max. non-repetitive peak reverse voltage	V <sub>DRM</sub> , max. repetitive peak off-state voltage, gate open circuit
				V	V	V
IRKT26...	IRKH26...	IRKL26...	-04	400	600	400
IRKT41...	IRKH41...	IRKL41...	-06	600	700	600
IRKT56...	IRKH56...	IRKL56...	-08	800	900	800
IRKT71...	IRKH71...	IRKL71...	-10	1000	1100	1000
IRKT91...	IRKH91...	IRKL91...	-12	1200	1300	1200

**On-State**

		IRKT26... IRKH26... IRKL26...	IRKT41... IRKH41... IRKL41...	IRKT56... IRKH56... IRKL56...	IRKT71... IRKH71... IRKL71...	IRKT91... IRKH91... IRKL91...	Units	Conditions		
I <sub>T(AV)</sub>	Max. average on-state current (THYRISTORS)	25	40	65	70	90	A	180° conduction, half sine wave, T <sub>C</sub> = 85°C		
I <sub>F(AV)</sub>	Max. average forward current (DIODES)	25	40	65	70	90	A			
I <sub>O(RMS)</sub>	Max. continuous RMS on-state current. As AC switch.	55.5	89	122	155	200	A			
I <sub>TSM</sub> OR I <sub>FSM</sub>	Max. peak, one-cycle non-repetitive on-state or forward current	500	715	1100	1400	1500	A	t = 10ms	100% V <sub>RRM</sub> reapplied	Sinusoidal half wave, initial T <sub>J</sub> = T <sub>J</sub> max.
		525	750	1150	1470	1570	A	t = 8.3ms	No voltage reapplied	
		595	850	1310	1665	1785	A	t = 10ms	No voltage reapplied	
		625	890	1370	1740	1870	A	t = 8.3ms		
		660	950	1410	1820	1915	A	t = 10ms	T <sub>J</sub> = 25°C, no voltage reapplied	
i <sup>2</sup> <sub>t</sub>	Max. i <sup>2</sup> <sub>t</sub> for fusing	1250	2555	6050	9800	11,250	A <sup>2</sup> <sub>s</sub>	t = 10ms	100% V <sub>RRM</sub> reapplied	Initial T <sub>J</sub> = T <sub>J</sub> max.
		1145	2330	5525	8960	10,270	A <sup>2</sup> <sub>s</sub>	t = 8.3ms	No voltage reapplied	
		1770	3610	8500	13,860	15,910	A <sup>2</sup> <sub>s</sub>	t = 10ms	No voltage reapplied	
		1615	3300	7815	12,560	14,525	A <sup>2</sup> <sub>s</sub>	t = 8.3ms		
		2170	4500	9940	16,550	18,330	A <sup>2</sup> <sub>s</sub>	t = 10ms	T <sub>J</sub> = 25°C, no voltage reapplied	
i <sup>2</sup> √t	Max. i <sup>2</sup> √t for fusing	17,700	36,125	85,600	138,600	159,100	A <sup>2</sup> √s	t = 0.1 to 10ms, no voltage reapplied		
V <sub>T(TO)</sub>	Max. value of threshold voltage	0.9	0.95	0.85	0.95	0.85	V	T <sub>J</sub> = 125°C		
r <sub>T</sub>	Max. value of on-state slope resistance	12	5	3.5	2.6	2.3	mΩ	T <sub>J</sub> = 125°C		
V <sub>TM</sub> V <sub>FM</sub>	Max. peak on-state or forward voltage	1.90	1.75	1.40	1.55	1.55	V	I <sub>TM</sub> = π × I <sub>T(AV)</sub>	T <sub>J</sub> = 25°C 180° conduction	
		1.90	1.75	1.40	1.55	1.55	V	I <sub>FM</sub> = π × I <sub>F(AV)</sub>		
di/dt	Max. non-repetitive rate-of-rise of turned on current	150	150	150	150	150	A/μs	T <sub>J</sub> = 25°C, from 0.67 V <sub>DRM</sub> , I <sub>TM</sub> = π × I <sub>T(AV)</sub> , I <sub>g</sub> = 500mA, t <sub>r</sub> < 0.5 μs, t <sub>p</sub> > 6 μs		
I <sub>H</sub>	Max. holding current	200	200	200	200	200	mA	T <sub>J</sub> = 25°C, anode supply = 6V, resistive load, gate open circuit		
I <sub>L</sub>	Max. latching current	400	400	400	400	400	mA	T <sub>J</sub> = 25°C, anode supply = 6V, resistive load		

**ELECTRICAL SPECIFICATIONS**
**Triggering**

<b>PGM</b>	Max. peak gate power	10	10	10	12	12	W	
<b>PG(AV)</b>	Max. average gate power	2.5	2.5	2.5	3.0	3.0	W	
<b>IGM</b>	Max. peak gate current	2.5	2.5	2.5	3.0	3.0	A	
<b>-VGM</b>	Max. peak negative gate voltage	10	10	10	10	10	V	
<b>VGT</b>	Max. gate voltage required to trigger	3.5	3.5	3.5	3.5	3.5	V	$T_J = -40^\circ\text{C}$
		2.5	2.5	2.5	2.5	2.5	V	$T_J = 25^\circ\text{C}$
		1.5	1.5	1.5	1.5	1.5	V	$T_J = 125^\circ\text{C}$
<b>IGT</b>	Max. gate current required to trigger	250	250	250	270	270	mA	$T_J = -40^\circ\text{C}$
		100	100	100	120	120	mA	$T_J = 25^\circ\text{C}$
		50	50	50	60	60	mA	$T_J = 125^\circ\text{C}$
<b>VGD</b>	Max. gate voltage that will not trigger	0.2	0.2	0.2	0.25	0.25	V	$T_J = 125^\circ\text{C}$ , rated $V_{DRM}$ applied
<b>IGD</b>	Maximum gate current that will not trigger	5.0	5.0	5.0	6.0	6.0	mA	

**Blocking**

<b>dv/dt*</b>	Max. critical rate-of-rise of off-state voltage	500	500	500	500	500	V/ $\mu\text{s}$	$T_J = 125^\circ\text{C}$ , exponential to 0.67 $V_{DRM}$ , gate open circuit
<b>IRM</b>	Max. peak reverse and off-state leakage current at $V_{RRM}$ , $V_{DRM}$	15	15	15	20	20	mA	$T_J = T_{J \text{ max.}}$ , gate open circuit
<b>IDM</b>								
<b>VINS</b>	RMS isolation voltage	2500	2500	2500	2500	2500	V	50 Hz, circuit to base

**THERMAL AND MECHANICAL SPECIFICATIONS**

<b><math>T_J</math></b>	Junction operating temperature range	-40 to 125					$^\circ\text{C}$	
<b><math>T_{stg}</math></b>	Storage temperature range	-40 to 125					$^\circ\text{C}$	
<b><math>R_{thJC}</math></b>	Max. internal thermal resistance, junction to case	0.4	0.3	0.25	0.195	0.145	K/W	Per module, D.C. operation
<b><math>R_{thCS}</math></b>	Max. thermal resistance case to heatsink	0.1					K/W	Mounting surface flat, smooth and greased.
<b>T</b>	Mounting torque $\pm 10\%$							A mounting compound is recommended and the torque should be rechecked after a period of about 3 hours to allow for the spread of the compound.
	ADD-A-pak to heatsink	5					Nm	
	Busbar to ADD-A-pak	3					Nm	
<b>wt</b>	Approximate weight	140					g	
		5					oz	
	Case style	TO-240AA						JEDEC

\* Available with  $dv/dt = 1000\text{V}/\mu\text{s}$ , to complete code add S90 i.e. IRKT91-12 S90

①  $I^2t$  for time  $t_x = I^2 \sqrt{t} \cdot \sqrt{t_x}$ .

ANEXO 3

# 208 Volt System

• 150 KVA Transformer

Figure 1

150 KVA Transformer

1.5% Impedance

208 Volts

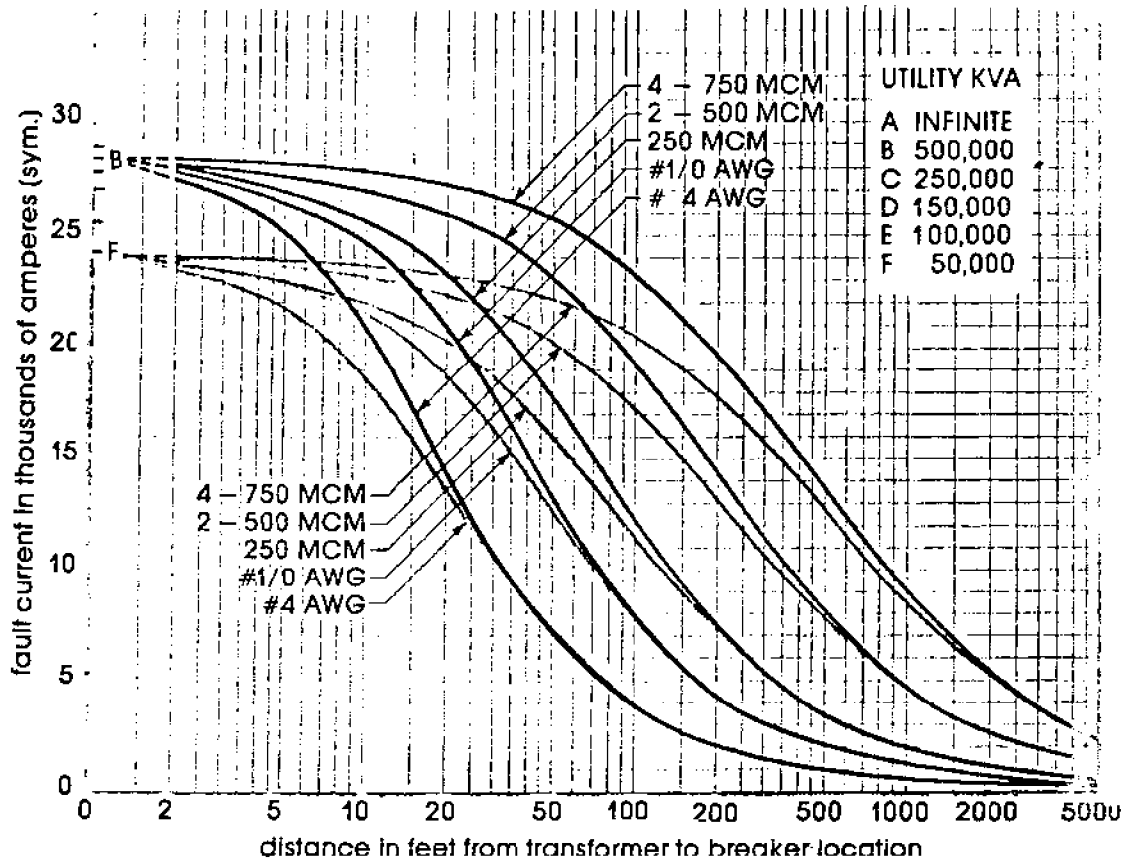
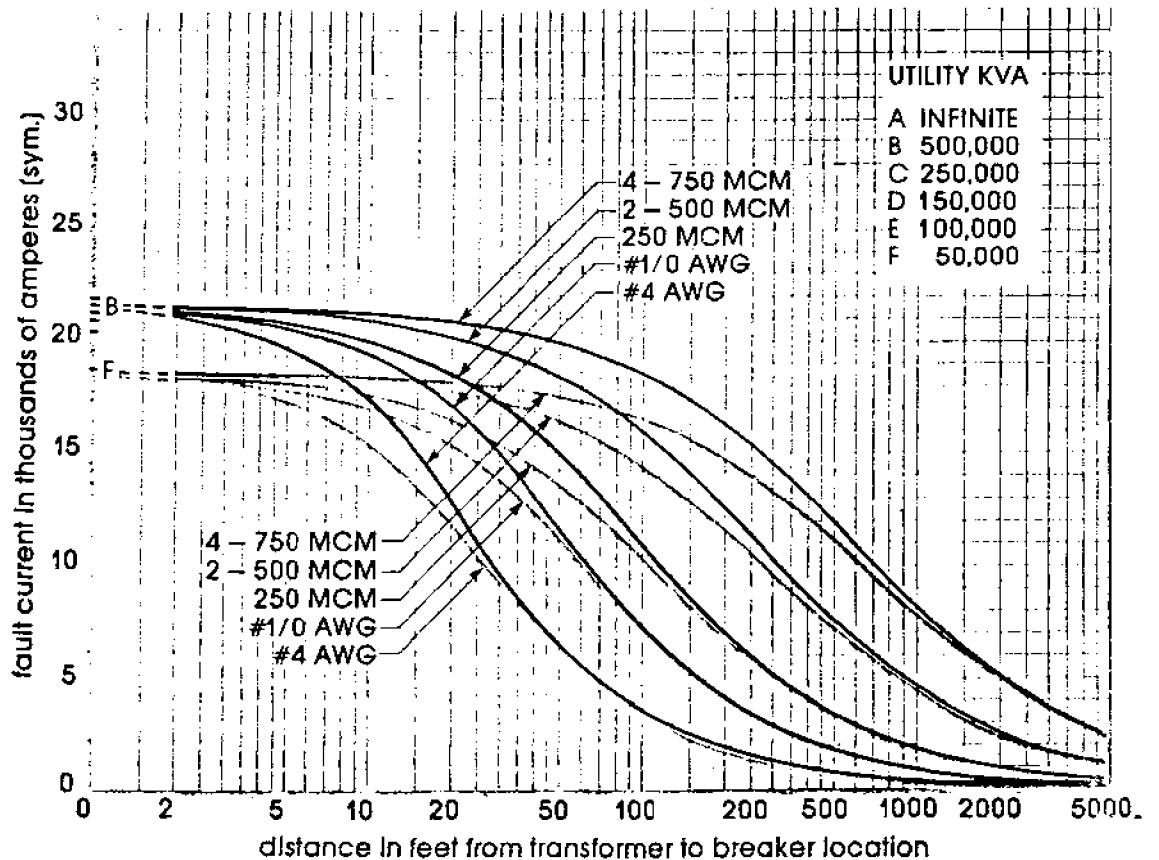


Figure 2

150 KVA Transformer

2.0% Impedance

208 Volts



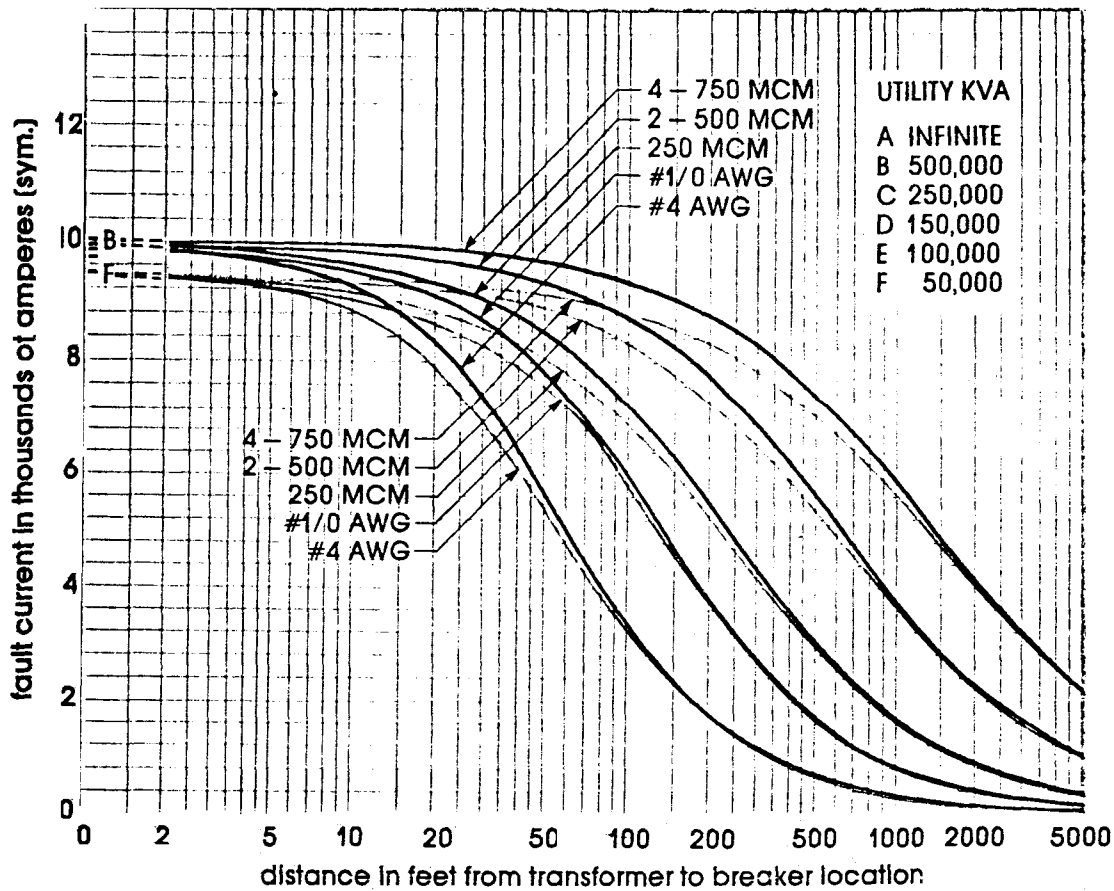


Figure 3

150 KVA  
Transformer

4.5%  
Impedance

208 Volts


**ANEXO 4**

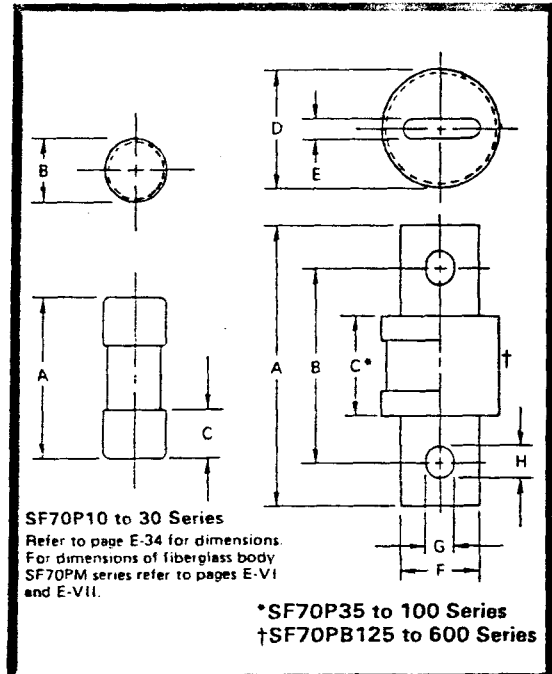
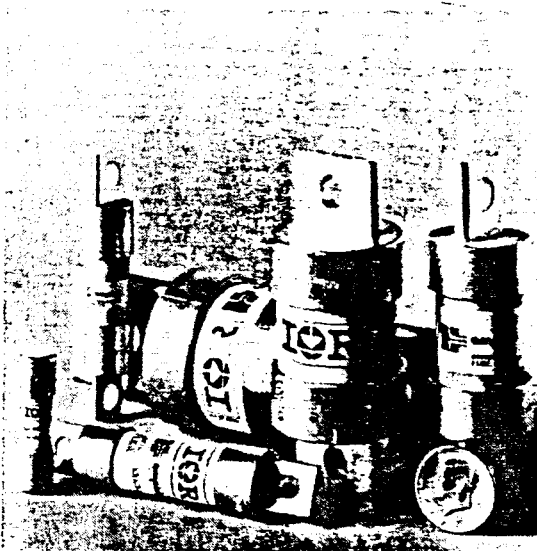
INTERNATIONAL RECTIFIER 

**SF70P and SF70PB SERIES**  
**700 Volt ampclip™ Semiconductor Fuses**

Description/Features

Designed specifically to protect semiconductor devices

- 700 volts RMS, 10 to 600 amps RMS
- High dc voltage ratings
- Pure silver links
- Links welded to contacts
- Rated by semiconductor specialists
- UL recognized 



Fuses are rated in RMS current. Rectifier circuit designs are often based on average current. During steady-state operation the fuse must not be operated in excess of its maximum RMS current rating.

## Electrical Specifications

SERIES	SF70P and SF70PB	UNITS
Maximum RMS voltage	700	V RMS
Maximum peak voltage	1000	V
Maximum dc voltage (refer to Figure 13)	—	V dc
Maximum arc voltage	1200	V
Interrupting capacity	200,000	A RMS

## Thermal-Mechanical Specifications

Forced cooling current re-rating factor, 900 Hm	1.2	
Maximum ambient temperature	150	°C
Maximum deadweight axial loading	5	lbs

## Device Ratings

PART NUMBER	NOMINAL RMS CURRENT RATING (A) ①	FUSE RESISTANCE		MELTING I <sup>2</sup> t (A <sup>2</sup> sec)	MAX. TIGHTENING TORQUE (LB-FT)	WEIGHT (OZ.)
		COLD ② (mΩ)	HOT ③ (mΩ)			
SF70P10	10	27.5	44	3	—	0.9
SF70P15	15	16.5	26.4	8	—	0.9
SF70P20	20	10.35	16.6	26	—	0.9
SF70P25	25	7.5	12.0	38	—	0.9
SF70P30	30	5.9	9.45	80	—	0.9
SF70P35	35	3.7	5.9	170	7	3.75
SF70P40	40	3.3	5.3	210	7	3.75
SF70P50	50	2.75	4.4	300	7	3.75
SF70P60	60	2.35	3.8	400	7	3.75
SF70P70†	70	2.05	3.55	530	7	4.75
SF70P80 †	80	1.8	3.15	670	7	4.75
SF70P90 †	90	1.5	2.6	1,000	7	4.75
SF70P100†	100	1.35	2.4	1,200	7	4.75
SF70PB125	125	1.0	1.7	1,900	7	10
SF70PB150	150	0.83	1.4	2,700	7	10
SF70PB175	175	0.66	1.2	3,600	7	10
SF70PB200	200	0.54	0.94	4,800	7	10
SF70PB250†	250	0.50	0.85	7,500	17	17
SF70PB300†	300	0.37	0.72	11,000	17	17
SF70PB400†	400	0.26	0.47	19,000	17	17
SF70PB500†	500	0.19	0.36	36,000	30	40
SF70PB600†	600	0.15	0.29	59,000	30	40

① See Figure 3 for RMS current ratings vs. ambient.

② ± 10% tolerance.

③ At maximum rating shown on Figure 3 @ T<sub>A</sub> = 25°C.

## DIMENSIONS (See Drawing, Page E-33)

PART NUMBER	A ③		B ③		C ③		D ③		E ④		F ④		G ④		H ④	
	IN.	MM.	IN.	MM.	IN.	MM.	IN.	MM.	IN.	MM.	IN.	MM.	IN.	MM.	IN.	MM.
SF70P10 to 30	2.000	50.8	0.563	14.3	0.609	15.3	—	—	—	—	—	—	—	—	—	—
SF70P35 to 60	4.375	111.1	3.625	92.1	2.750	69.9	0.818	20.8	0.125	3.18	0.719	18.3	0.344	8.74	0.406	10.35
SF70P70 to 100	4.406	111.9	3.656	92.9	2.500	63.5	0.947	24.1	0.125	3.18	0.750	19.1	0.313	8.0	0.375	9.53
SF70PB125 to 200	5.063	128.6	4.032	102.4	2.760	70.1	1.50	38.1	0.250	6.30	1.00	25.4	0.433	11.0	0.592	14.80
SF70PB250 to 400	5.063	128.6	4.082	103.7	2.760	70.1	2.00	50.9	0.250	6.30	1.50	38.1	0.433	11.0	0.592	14.80
SF70PB500 to 600	6.630	168	5.125	130	2.844	72.2	2.50	63.6	0.375	9.53	2.00	50.9	0.531	13.48	0.720	18.30

③ Tolerance is ± 1.6 mm (± 0.062 in.)

④ Tolerance is ± 0.4 mm (± 0.016 in.)

† These fuses are available with I1000 fuse indicators already fitted, for dimensional details refer to page E-67. For electrical, thermal and mechanical specifications on I1000 refer to page E-66.

To complete part number add prefix "I" e.g. ISF70P600.



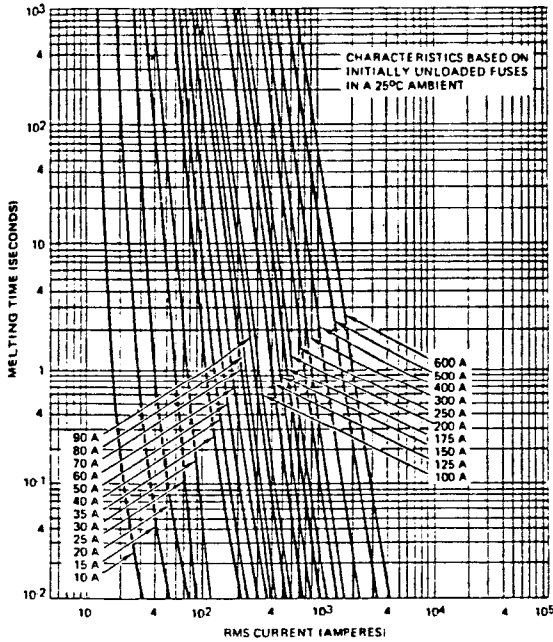


Fig. 1 — Melting Time Vs. Current

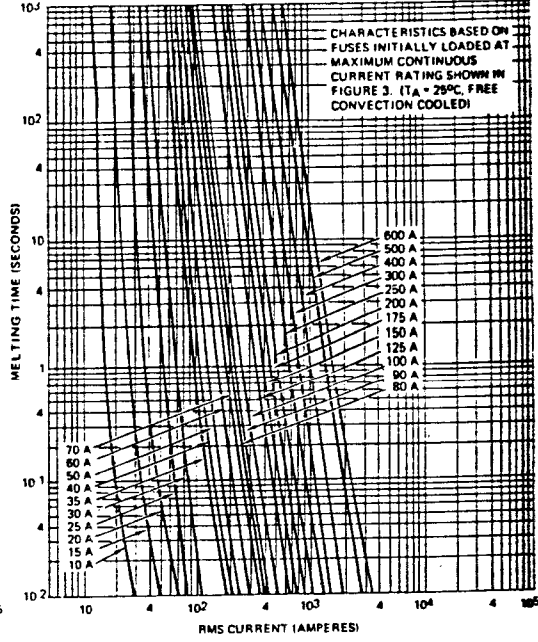


Fig. 2 — Pre-Loaded Melting Time Vs. Current

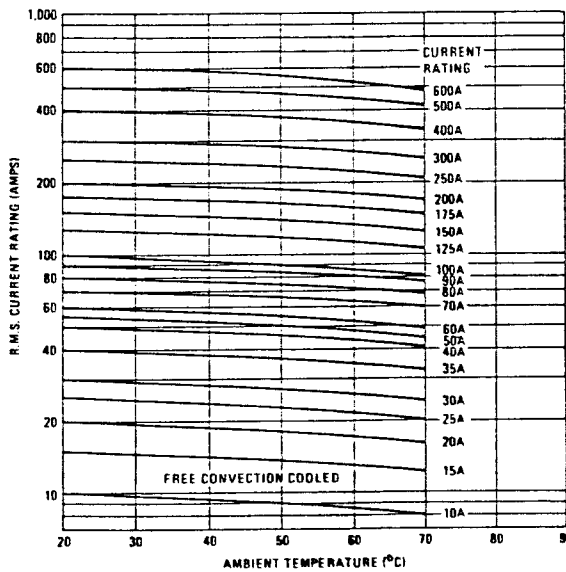


Fig. 3 — Maximum RMS Continuous Current Vs. Ambient Temperature

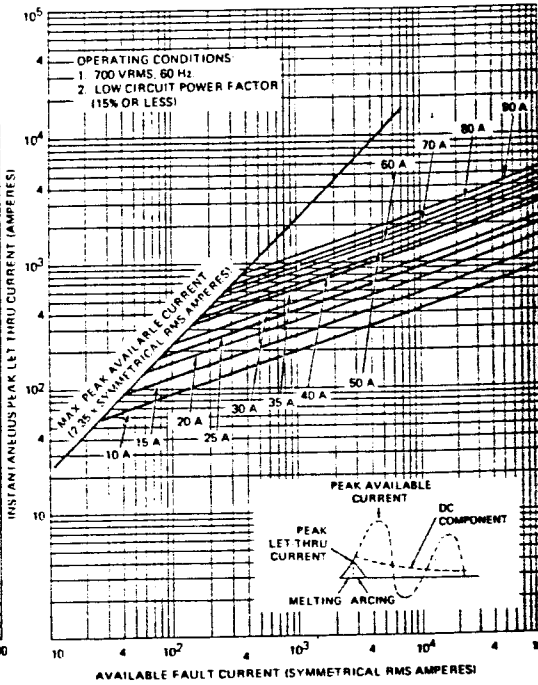


Fig. 4 — Peak Let-Through Current Vs. Fault Current — For Fuses Rated 10 to 90 Amperes

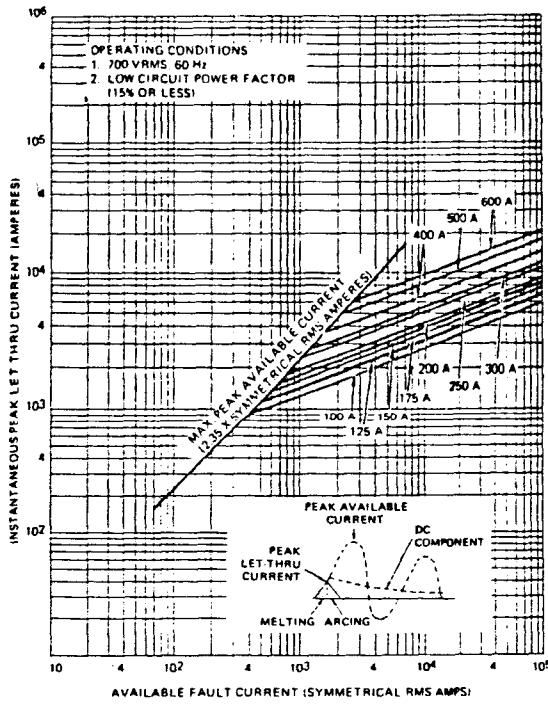


Fig. 5 — Peak Let-Through Current Vs. Fault Current — for Fuses Rated 100 to 600 Amperes

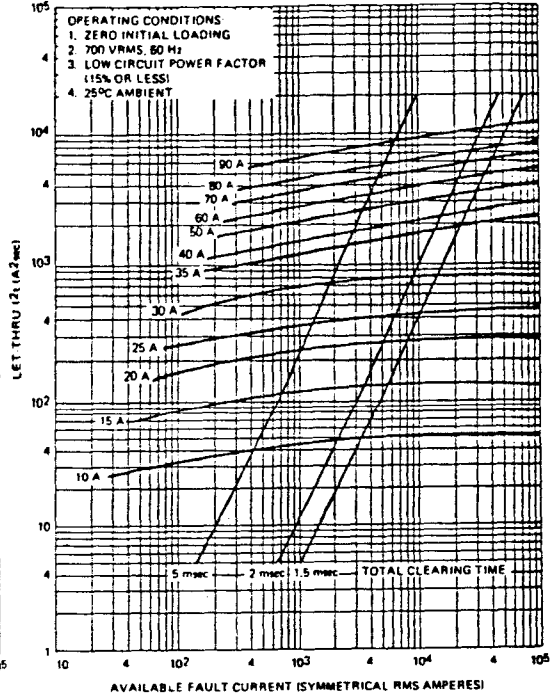


Fig. 6 — Maximum Clearing  $I^2t$  Characteristics — 700V Supply — For Fuses Rated 10 to 90 Amperes

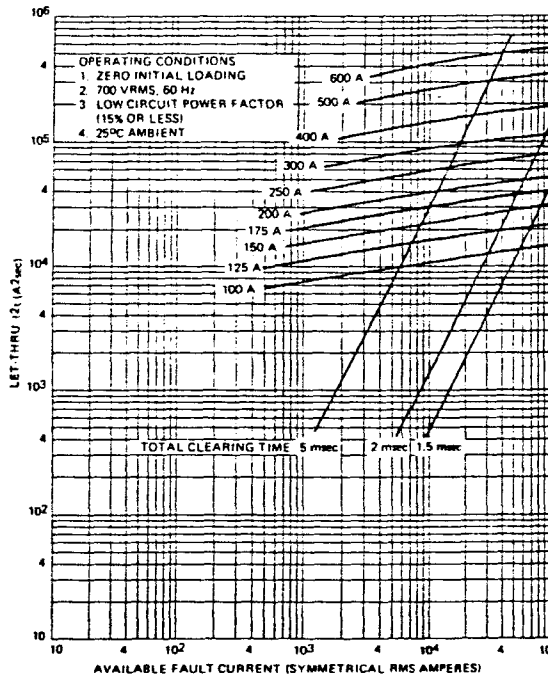


Fig. 7 — Maximum Clearing  $I^2t$  Characteristics — 700V Supply — For Fuses Rated 100 to 600 Amperes

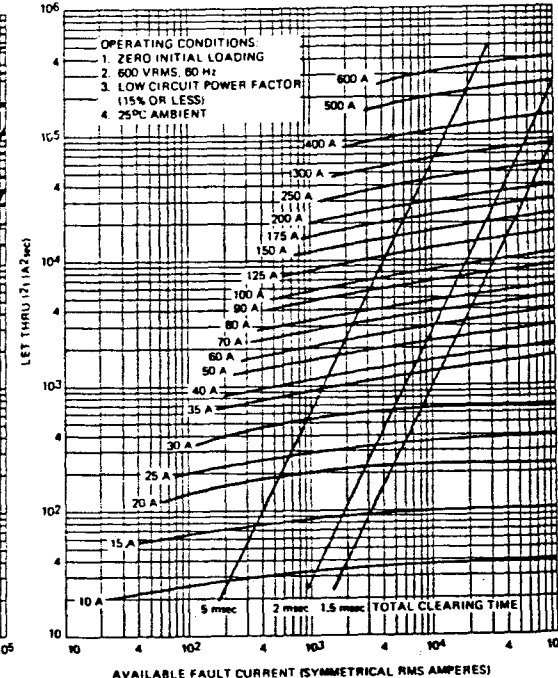
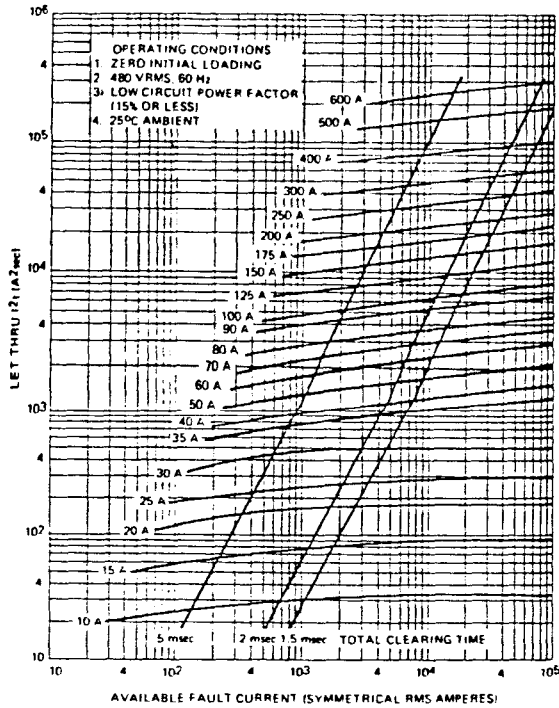
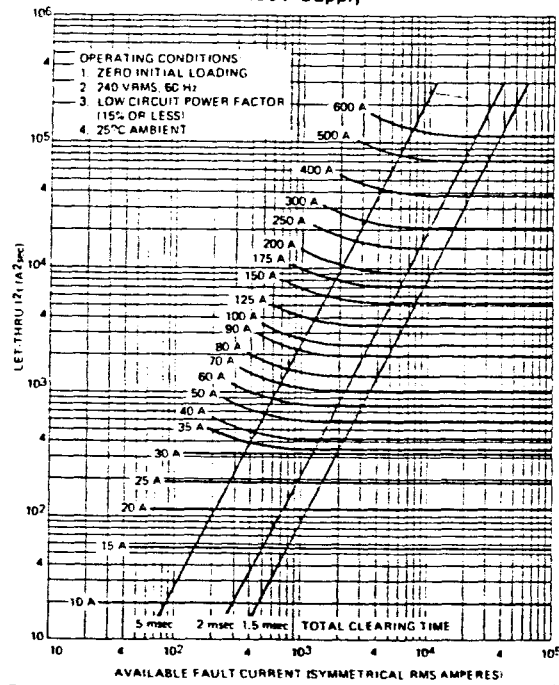


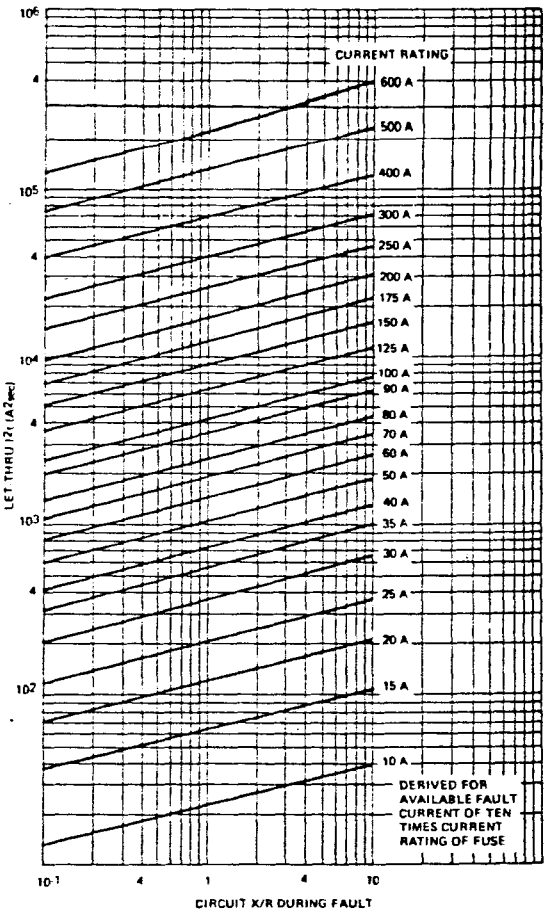
Fig. 8 — Maximum Clearing  $I^2t$  Characteristics — 600V Supply



**Fig. 9 — Maximum Clearing I<sup>2</sup>t Characteristics — 480V Supply**



**Fig. 10 — Maximum Clearing I<sup>2</sup>t Characteristics — 240V Supply**



**Fig. 11 — Clearing I<sup>2</sup>t Characteristics Vs. Circuit X/R**

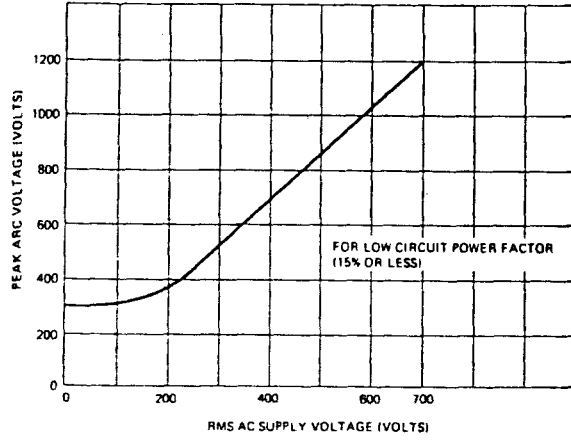


Fig. 12 — Maximum Arc Voltage Characteristics

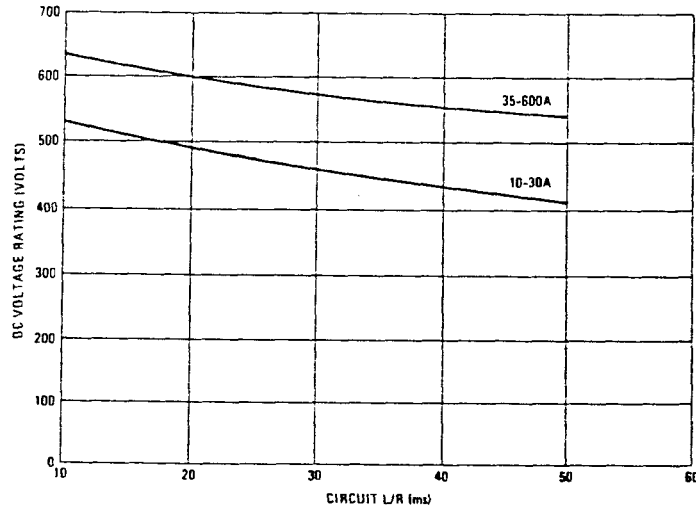


Fig 13 — Maximum DC Voltage Rating Vs. Circuit L/R

CD4011BC, CD4011BM, CD4011

**DC electrical characteristics CD4011BC, CD4011BM**

$T_A = 25^\circ\text{C}$ , Input  $t_f$ ;  $t_r = 20\text{ ns}$ ,  $C_L = 50\text{ pF}$ ,  $R_L = 200\text{ k}$ , Typical Temperature Coefficient is  $0.3\%/^\circ\text{C}$ .

PARAMETER	CONDITIONS	TYP	MAX	UNITS
tPHL Propagation Delay, High-to-Low Level	VDD = 5V	120	260	ns
	VDD = 10V	60	100	ns
	VDD = 15V	35	70	ns
tPLH Propagation Delay, Low-to-High Level	VDD = 5V	85	220	ns
	VDD = 10V	40	100	ns
	VDD = 15V	30	70	ns
tTHL, tTLH Transition Time	VDD = 5V	80	200	ns
	VDD = 10V	50	100	ns
	VDD = 15V	40	80	ns
CIN Average Input Capacitance	Any Input	5	7.5	pF
CPD Power Dissipation Capacity	Any Gate	14		mW

**typical performance characteristics**

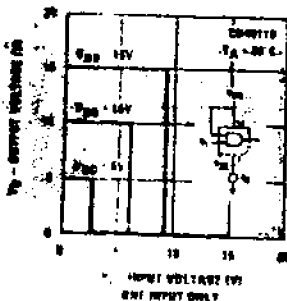


FIGURE 1. Typical Transfer Characteristics

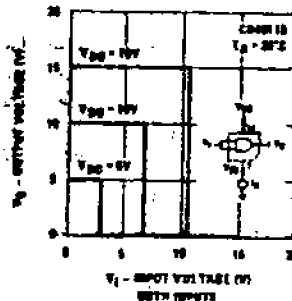


FIGURE 2. Typical Transfer Characteristics

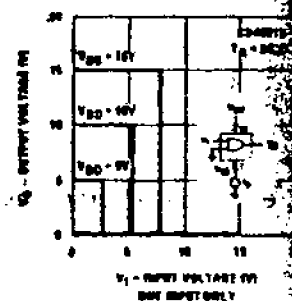


FIGURE 3. Typical Transfer Characteristics

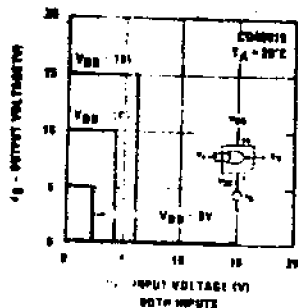


FIGURE 4. Typical Transfer Characteristics

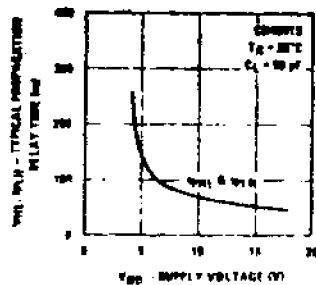


FIGURE 5. Typical Propagation Delay Time

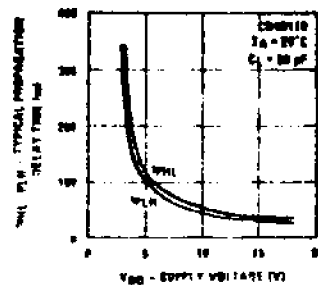


FIGURE 6. Typical Propagation Delay Time

CD4001BM, CD4001BC, CD4001BM/CD4001B

**absolute maximum ratings** (Notes 1 and 2)

**operating conditions**

Voltage at Any Pin: -0.5V to VDD + 0.5V  
 Package Dissipation: 500 mW  
 VDD Range: 0V to +18V DC  
 Storage Temperature: -55°C to +125°C  
 Lead Temperature (Soldering, 10 seconds): 260°C

Operating VDD Range: 0V to +18V  
 Operating Temperature Range: CD4001BM, CD4001BM/CD4001B: -55°C to +125°C  
 CD4001BC, CD4001BC/CD4001B: -40°C to +125°C

**dc electrical characteristics** CD4001BM, CD4001BM (Notes 1, 2)

PARAMETER	CONDITIONS	-55°C		+25°C		+125°C	
		MIN	MAX	MIN	TYP	MAX	MIN
VO	Quiescent Drain Current			0.25	0.004	0.21	
	VDD = 5V			0.50	0.006	0.50	
	VDD = 10V			1.0	0.008	1.0	
VOL	Low Level Output Voltage			0.05	0	0.06	0.05
	VDD = 5V			0.05	0	0.06	0.05
	VDD = 10V			0.05	0	0.06	0.05
VOH	High Level Output Voltage			4.95	4.95	5	4.95
	VDD = 5V			9.95	9.95	10	9.95
	VDD = 10V			14.95	14.95	15	14.95
VIL	Low Level Input Voltage			1.5	2	1.5	1.5
	VDD = 5V, VO = 4.5V			3.0	4	3.0	2.0
	VDD = 10V, VO = 9.5V			6.0	8	6.0	4.0
VIH	High Level Input Voltage			3.5	3.5	3.5	3.5
	VDD = 5V, VO = 0.5V			7.0	7.0	7.0	7.0
	VDD = 10V, VO = 1.5V			11.0	11.0	11.0	11.0
IOL	Low Level Output Current			0.84	0.81	0.88	0.38
	VDD = 5V, VO = 0.4V			1.8	1.3	2.25	0.9
	VDD = 10V, VO = 0.5V			4.2	3.4	5.0	2.4
IOH	High Level Output Current			-0.84	-0.81	-0.88	-0.38
	VDD = 5V, VO = 4.5V			-1.8	-1.3	-2.25	-0.9
	VDD = 10V, VO = 9.5V			-4.2	-3.4	-5.0	-2.4
IIN	Input Current			0.15	-10 <sup>-6</sup>	-0.10	-1.0
	VDD = 15V, VIN = 0V			0.10	10 <sup>-6</sup>	0.10	1.0

Note 1: "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. Except for "Operating Temperature Range" they are not intended to imply that the devices should be guaranteed at these limits. The table of "Electrical Characteristics" provides conditions for actual device operation.

Note 2: All voltages measured with respect to VSS unless otherwise specified.



**CD4001BM/CD4001BC Quad 2-Input NOR Buffered B Series Gate**

**CD4011BM/CD4011BC Quad 2-Input NAND Buffered B Series Gate**

**General Description**

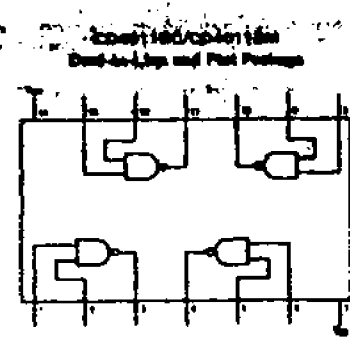
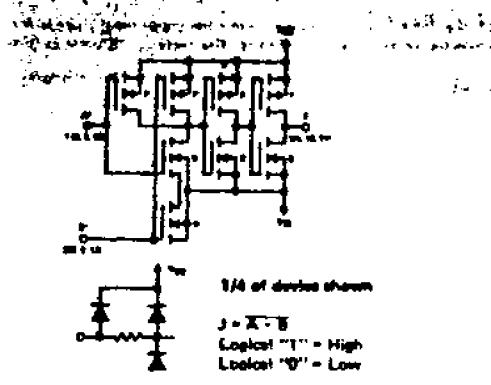
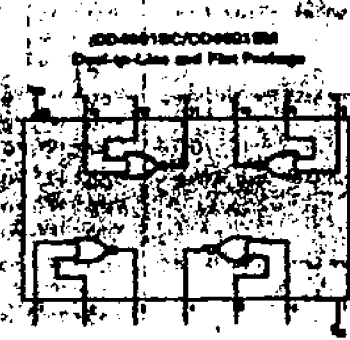
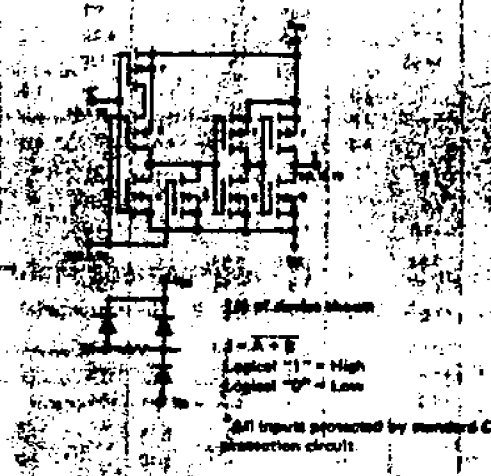
These quad gates are monolithic complementary MOS (CMOS) integrated circuits constructed with  $N^+P$  and  $P^+N$  channel enhancement mode transistors. They have typical static and dynamic load capabilities well in excess of standard CMOS output drivers. The devices also have buffered outputs which improve transfer characteristics by providing for high gain.

All inputs are protected against static discharge with diodes to  $V_{DD}$  and  $V_{SS}$ .

**Features**

- Low power TTL compatibility:  $V_{DD}$  1.5V to 18V or 1.8V to 7.5V
- $V_{DD}$  1.5V to 18V
- Asymmetric output characteristics
- Maximum input leakage 1 $\mu$ A at 18V over full temperature range

**Schematic and connection diagrams**



CD4001BM/CD4001BC, CD4011BM/CD4011BC

**Characteristics**  
 $8.5 V_S \leq 18 V; -25^\circ C \leq T_A \leq +85^\circ C; f = 50 \text{ Hz}$

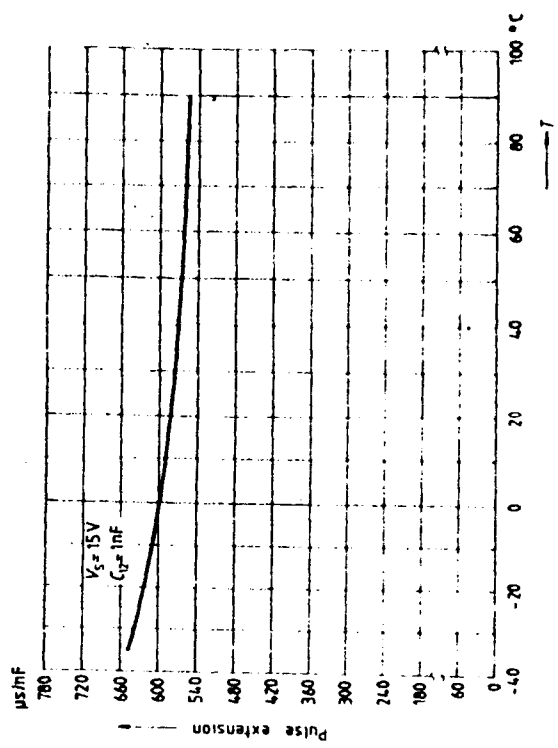
Description	Symbol	Test circuit	min	typ	max	Unit
Long pulse switch-over pin 13	$V_{13H}$	1	3.5	2.5	2	V
Switch-over of S 8	$V_{13L}$	1		2.5	10	V
Short pulse at output	$I_{13H}$	1			100	$\mu A$
Long pulse at output	$-I_{13L}$	1	45	65		$\mu A$
Input current $V_{13} = 8 V$						
Input current $V_{13} = 1.7 V$						
Outputs pin 2, 3, 4, 7						
Reverse current	$I_{CEO}$	2.6			10	$\mu A$
$V_2 = V_3$						
Saturation voltage	$V_{sat}$	2.6	0.1	0.4	2	V
$I_C = 2 \text{ mA}$						
Control pin 14, 15						
H output voltage	$V_{14/15H}$	3.6	$V_S - 3$	$V_S - 2.5$	$V_S - 1.0$	V
L output voltage	$V_{14/15L}$	2.6	0.3	0.8	2	V
$I_0 = 2 \text{ mA}$						
Pulse width (short pulse)	$t_p$	1	20	30	40	$\mu s$
4.9 open						
Pulse width (short pulse) with $C_{12}$	$t_p$	1	530	620	760	$\mu s/nF$
Internal voltage control						
Reference voltage	$V_{REF}$	1	2.8	3.1	3.4	V
Parallel connection of 2 ICs possible						
IC of reference voltage	$\alpha_{REF}$	1		$2 \times 10^{-4}$	$5 \times 10^{-4}$	1/K

**Application Hints for External Components**

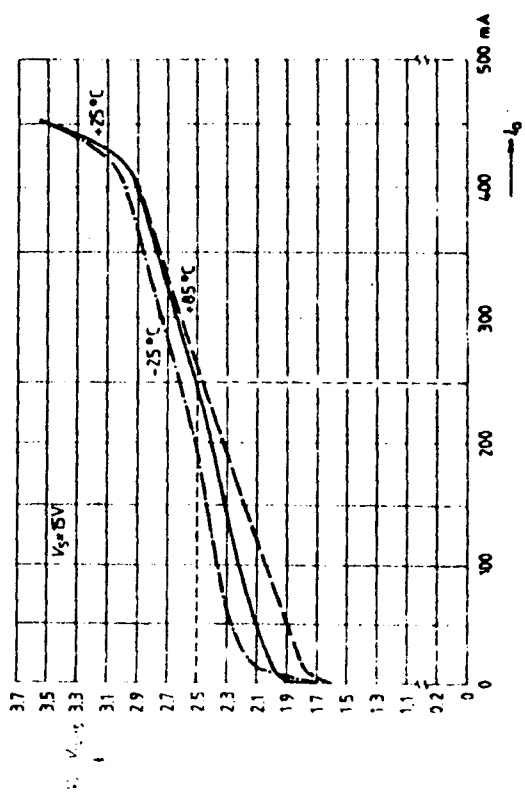
- 1) Ramp capacitance  $C_{10}$  500 pF  $\frac{min}{max}$  1  $\mu F$
- 2) The minimum and maximum values of  $t_{10}$  are to be observed
- 3) Triggering point  $t_{17} = \frac{V_{11} \times R_9 \times C_{10}}{V_{REF} \times K}$
- 4) Ramp voltage  $V_{10,max} = V_S - 2 V$
- 5) Ramp voltage  $V_{10} = \frac{V_{REF} \times K \times t}{R_9 \times C_{10}}$

Attention to flyback times  
 $K = 1.10 \pm 20\%$

Pulse extension versus temperature



Output voltage measured to +V\_S





**Maximum Ratings**

Description	Symbol	min	max	Unit
Supply voltage	$V_S$	-0.5	18	V
Control current at pin 14, 15	$I_O$	-10	400	mA
Control voltage	$V_C$	-0.5	$V_S$	V
Control voltage	$V_{11}$	-0.5	$V_S$	V
Voltage short-pulse circuit	$V_{13}$	-0.5	$V_S$	V
Synchronization input current	$I_S$	-200	$\pm 200$	$\mu A$
Output voltage at pin 14, 15	$V_O$		$V_S$	V
Output current at pin 2, 3, 4, 7	$I_O$		10	mA
Output voltage at pin 2, 3, 4, 7	$V_O$		$V_S$	V
Junction temperature	$T_J$		125	$^{\circ}C$
Storage temperature	$T_{stg}$	-55	125	$^{\circ}C$
Thermal resistance system: - air	$R_{th SA}$		80	K/W

**Operating Range**

Supply voltage	$V_S$	8	18	V
Operating frequency	$f$	10	500	Hz
Ambient temperature	$T_A$	-25	85	$^{\circ}C$

**Characteristics**  
 $8 \leq V_S \leq 18 V$ ;  $-25^{\circ}C \leq T_A \leq +85^{\circ}C$ ;  $f = 50 Hz$

Description	Symbol	Test circuit	min	typ	max	Unit
Supply current consumption S1...S6 open $V_{11} = 0 V$ $C_{10} = 47 nF$ ; $R_9 = 100 k\Omega$	$I_S$	1	4.5	6.5	10	mA
Synchronization pin 5						
Input current $R_2$ varied	$I_S rms$	1	30		200	$\mu A$
Offset voltage	$\Delta V_S$	4		30	75	mV
Control input pin 11						
Control voltage range	$V_{11}$	1	0.2		$V_{10 peak}$	V
Input resistance	$R_{11}$	5		15		k $\Omega$
Ramp generator						
Charge current	$I_{10}$	1	10		1000	$\mu A$
Max. ramp voltage	$V_{10}$	1.6	100	225	$V_C - 2$	V
Saturation voltage at capacitor	$V_{10}$	1	3		350	mV
Ramp resistance	$R_9$	1		80	300	k $\Omega$
Sawtooth return time	$t_r$	1				$\mu s$
Inhibit pin 6						
switch-over of pin 7						
Outputs disabled	$V_{EL}$	1		3.3	2.5	V
Outputs enabled	$V_{EH}$	1	4	3.3		V
Signal transition time	$t_r$	1	1		5	$\mu s$
Input current	$I_{EH}$	1		500	800	$\mu A$
$V_C = 8 V$						
Input current	$-I_{EL}$	1	80	150	200	$\mu A$
$V_C = 1.7 V$						
Deviation of $I_{10}$ $R_{10} = const.$ $V_C = 12 V$ ; $C_{10} = 47 nF$	$I_{10}$	1	-5		5	%
Deviation of $I_{10}$ $R_{10} = const.$ $V_C = 8 V$ to 18 V	$I_{10}$	1	-20		20	%
Deviation of the ramp voltage between 2 following half-waves; $V_S = const.$	$\Delta V_{10 max}$				$\pm 1$	%

Bipolar IC

Type	Ordering Code	Package
TCA 785	Q67000-A2321	P-DIP-16

This phase control IC is intended to control thyristors, triacs, and transistors. The trigger output can be shifted within a phase angle between 0° and 180°. Typical applications include converter circuits, AC controllers and three-phase current controllers. This IC replaces the previous types TCA 780 and TCA 780 D.

**Features**

- Reliable recognition of zero passage
- Large application scope
- May be used as zero point switch
- LSL compatible
- Three-phase operation possible (3 ICs)
- Output current 250 mA
- Large ramp current range
- Wide temperature range

**Functional Description**

The synchronization signal is obtained via a high-ohmic resistance from the line voltage (voltage  $V_s$ ). A zero voltage detector evaluates the zero passages and transfers them to the synchronization register.

This synchronization register controls a ramp generator, the capacitor  $C_{10}$  of which is charged by a constant current (determined by  $R_9$ ). If the ramp voltage  $V_{10}$  exceeds the control voltage  $V_{11}$  (triggering angle  $\psi$ ), a signal is processed to the logic. Dependent on the magnitude of the control voltage  $V_{11}$ , the triggering angle  $\psi$  can be shifted within a phase angle of 0° to 180°.

For every half wave, a positive pulse of approx. 30  $\mu$ s duration appears at the outputs Q1 and Q2. The pulse duration can be prolonged up to 180° via a capacitor  $C_{12}$  if pin 12 is connected to ground, pulses with a duration between  $\psi$  and 180° will result.

Outputs  $\bar{Q}1$  and  $\bar{Q}2$  supply the inverse signals of Q1 and Q2.

A signal of  $\psi + 180^\circ$  which can be used for controlling an external logic, is available at pin 3.

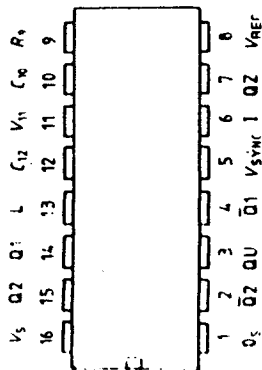
A signal which corresponds to the NOR link of Q1 and Q2 is available at output QZ (pin 7).

The inhibit input can be used to disable outputs Q1, Q2 and  $\bar{Q}1, \bar{Q}2$ .

Pin 13 can be used to extend the outputs  $\bar{Q}1$  and  $\bar{Q}2$  to full pulse length (180° -  $\psi$ ).

**Pin Configuration**

Top view



**Pin Description**

Pin	Symbol	Function
1	$O_s$	Ground
2	$\bar{Q}2$	Output 2 inverted
3	QU	Output U
4	$\bar{Q}1$	Output 1 inverted
5	$V_{sync}$	Synchronous voltage
6	I	Inhibit
7	QZ	Output Z
8	$V_{ref}$	Stabilized voltage
9	$R_b$	Ramp resistance
10	$C_{10}$	Ramp capacitance
11	$V_{11}$	Control voltage
12	$C_{12}$	Pulse extension
13	L	Long pulse
14	Q1	Output 1
15	Q2	Output 2
16	$V_s$	Supply voltage

ANEXO 5

MTM/MTP4N45, 50/5N35, 40

ELECTRICAL CHARACTERISTICS (T<sub>c</sub> = 25°C unless otherwise noted)

Characteristic	Symbol	Min	Max	Unit
<b>OFF CHARACTERISTICS</b>				
Drain-Source Breakdown Voltage (V <sub>GS</sub> = 0, I <sub>D</sub> = 5.0 mA)	B <sub>r</sub> DSS	350 400 450 500	—	V <sub>dc</sub>
Zero Gate Voltage Drain Current (V <sub>DS</sub> = 0.85 Rated V <sub>DSS</sub> , V <sub>GS</sub> = 0) (T <sub>J</sub> = 100°C)	I <sub>DSS</sub>	—	0.25 2.5	mA <sub>dc</sub>
Gate-Body Leakage Current (V <sub>GS</sub> = 20 V <sub>dc</sub> , V <sub>DS</sub> = 0)	I <sub>GSS</sub>	—	500	nA <sub>dc</sub>

<b>ON CHARACTERISTICS*</b>				
Gate Threshold Voltage (I <sub>D</sub> = 1.0 mA, V <sub>DS</sub> = V <sub>GS</sub> ) (T <sub>J</sub> = 100°C)	V <sub>GS(th)</sub>	2.0 1.5	4.5 4.0	V <sub>dc</sub>
Static Drain-Source On-Resistance (V <sub>GS</sub> = 10 V <sub>dc</sub> , I <sub>D</sub> = 2.5 A <sub>dc</sub> ) (V <sub>GS</sub> = 10 V <sub>dc</sub> , I <sub>D</sub> = 2.0 A <sub>dc</sub> )	r <sub>DS(on)</sub>	— —	1.0 1.5	Ohms
Drain-Source On-Voltage (V <sub>GS</sub> = 10 V) (I <sub>D</sub> = 5.0 A <sub>dc</sub> ) (I <sub>D</sub> = 2.5 A <sub>dc</sub> , T <sub>J</sub> = 100°C) (I <sub>D</sub> = 4.0 A <sub>dc</sub> ) (I <sub>D</sub> = 2.0 A <sub>dc</sub> , T <sub>J</sub> = 100°C)	V <sub>DS(on)</sub>	— — — —	6.2 8.0 7.5 6.0	V <sub>dc</sub>
Forward Transconductance (V <sub>DS</sub> = 15 V, I <sub>D</sub> = 2.5 A) (V <sub>DS</sub> = 15 V, I <sub>D</sub> = 2.0 A)	g <sub>fs</sub>	2.0 1.5	—	mA/V

<b>DYNAMIC CHARACTERISTICS</b>				
Input Capacitance	V <sub>DS</sub> = 25 V, f = 10 MHz	—	1200	pF
Output Capacitance		—	300	pF
Reverse Transfer Capacitance		—	80	pF

<b>SWITCHING CHARACTERISTICS* (T<sub>J</sub> = 100°C)</b>					
Turn-On Delay Time	V <sub>DS</sub> = 25 V, I <sub>D</sub> = 0.6 Rated I <sub>D</sub> , R <sub>gen</sub> = 50 ohms	t <sub>D(on)</sub>	—	50	ns
Rise Time		t <sub>r</sub>	—	100	ns
Turn-Off Delay Time		t <sub>D(off)</sub>	—	200	ns
Fall Time		t <sub>f</sub>	—	100	ns

<b>SOURCE DRAIN DIODE CHARACTERISTICS*</b>				
Forward On-Voltage	I <sub>S</sub> = Rated I <sub>D</sub> , V <sub>GS</sub> = 0	V <sub>SD</sub>	Typ	V <sub>dc</sub>
Forward Turn-On Time		t <sub>on</sub>	250	ns
Reverse Recovery Time		t <sub>rr</sub>	420	ns

\*Pulse Test: Pulse Width < 300 μs, Duty Cycle < 2%

RESISTIVE SWITCHING

FIGURE 1 — SWITCHING TEST CIRCUIT

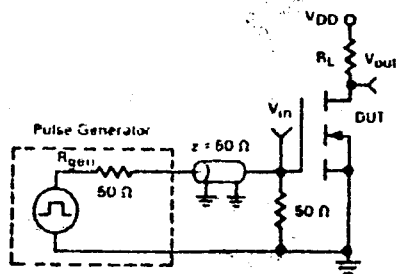
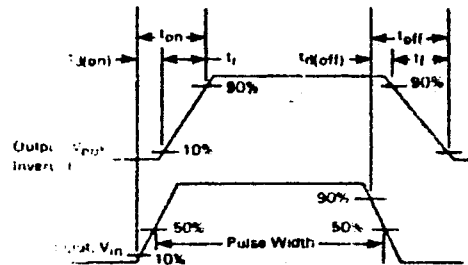


FIGURE 2 — SWITCHING WAVEFORMS





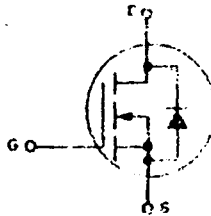
**MTM4N45, MTP4N45**  
**MTM4N50, MTP4N50**  
**MTM5N35, MTP5N35**  
**MTM5N40, MTP5N40**

**Designer's Data Sheet**

**N-CHANNEL ENHANCEMENT MODE SILICON GATE  
 TMOS POWER FIELD EFFECT TRANSISTOR**

These TMOS Power FETs are designed for high voltage, high speed power switching applications such as switching regulators, converters, solenoid and relay drivers.

- Silicon Gate for Fast Switching Speeds — Switching Time Specified at 100°C
- Designer's Data —  $I_{DSS}$ ,  $V_{DS(on)}$ , SOA and  $V_{GS(th)}$  Specified at Elevated Temperature
- Rugged — SOA is Power Dissipation Limited
- Source-to-Drain Diode Characterized for Use With Inductive Loads



**MAXIMUM RATINGS**

Rating	Symbol	MTM or MTP				Unit
		5N35	5P40	4N45	4N50	
Drain-Source Voltage	$V_{DSS}$	350	400	450	500	V <sub>dc</sub>
Drain-Gate Voltage ( $R_{GS} = 1.0 \text{ M}\Omega$ )	$V_{DGR}$	350	400	450	500	V <sub>dc</sub>
Gate-Source Voltage	$V_{GS}$	±20				V <sub>dc</sub>
Drain Current Continuous	$I_D$	5.0	5.0	4.0	4.0	A <sub>dc</sub>
Drain Current Pulsed	$I_{DM}$	12	12	10	10	A <sub>dc</sub>
Gate Current — Pulsed	$I_{GM}$	1.9				A <sub>dc</sub>
Total Power Dissipation @ $T_C = 25^\circ\text{C}$ Derate above 25°C	$P_D$	75				Watts
Operating and Storage Temperature Range	$T_J, T_{stg}$	-55 to 150				°C

**THERMAL CHARACTERISTICS**

Thermal Resistance	Symbol	Value	Unit
Junction to Case	$R_{\theta JC}$	1.0	°C/W
Maximum Lead Temp. for Soldering Purposes: 1" from case for 5 seconds	$T_L$	275	°C

**Designer's Data for "Worst Case" Conditions**

The Designer's Data Sheet permits the design of most circuits entirely from the information presented. Limit data — representing device characteristics boundaries — are given to facilitate "worst case" design.

**4.0 and 5.0 AMPERE  
 N-CHANNEL TMOS  
 POWER FET**

$r_{DS(on)} = 1.8 \text{ OHMS}$   
 450 and 500 VOLTS  
 $r_{DR(on)} = 1.9 \text{ OHM}$   
 350 and 400 VOLTS

MTM5N35  
 MTM5N40  
 MTP4N45  
 MTP4N50



STYLE 1  
 1 GATE  
 2 DRAIN  
 3 SOURCE

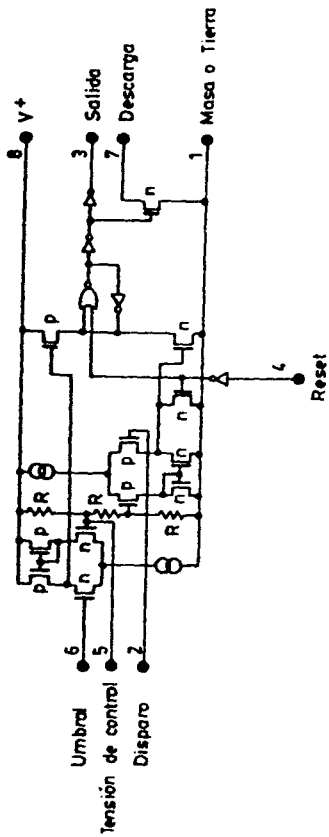
CASE 1-05  
 TO-204AA  
 (TO-3 TYPE)

MTP5N35  
 MTP5N40  
 MTP4N45  
 MTP4N50

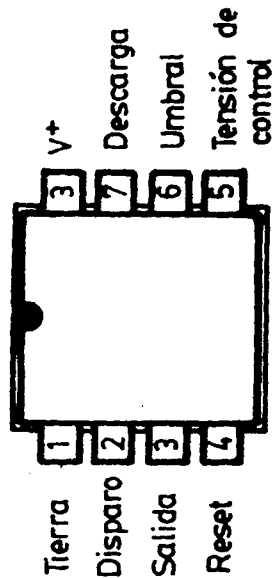
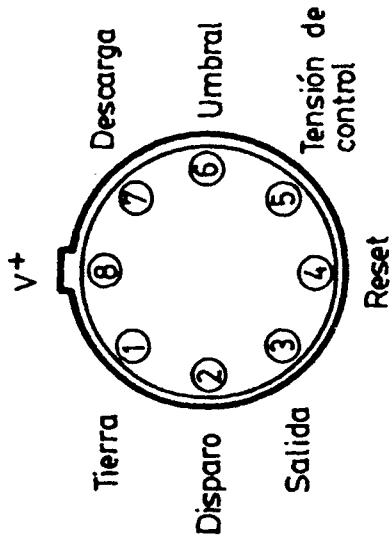


STYLE 1  
 1 GATE  
 2 DRAIN  
 3 SOURCE  
 4 PWR

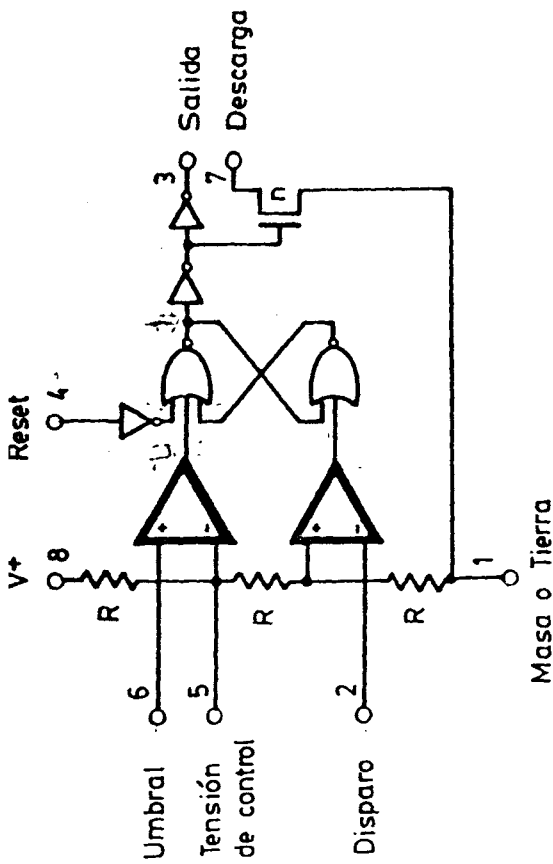
CASE 221A 02  
 TO-220AB



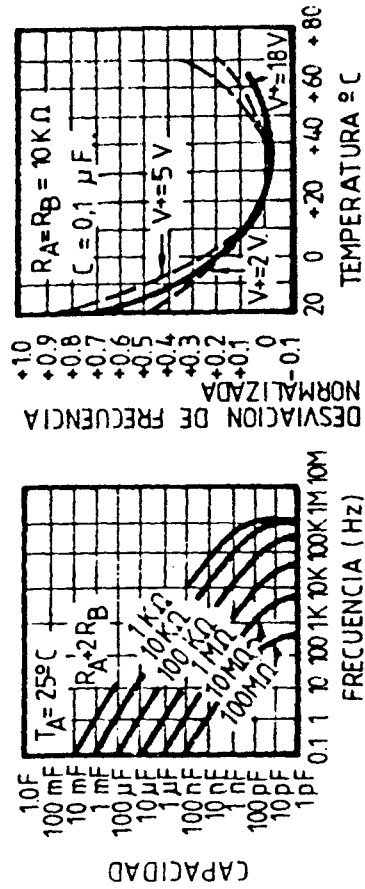
● Circuito equivalente.



● Encapsulado.



● Diagrama de bloques.



● Circuito ICM 7555 funcionando como estable: tablas para el cálculo de la frecuencia de oscilación y su variación con la temperatura.

CARACTERISTICAS ELECTRICAS						
Parámetro	Condiciones de prueba	Min.	Tip.	Máx.	Unidades	
Tensión de alimentación	-20°C TA +85°C	2	—	18	V	
	-55°C TA +125°C	3	—	16	V	
Corriente de alimentación	V(+)=2 a 18 V TA = 25°C		30	120	μA	
	V(+)=5, -20°C TA +85°C			250	μA	
	V(+)=5, -55°C TA +125°C			300	μA	
Errores en los tiempos Precisión inicial	Circuito astable RAF = RB = 100 K C = 0.1 μF, V ± 5 V V(+)=5 V		2	5	%	
Variación con la temperatura	V(+)= 10 V		50		ppm °C	
	V(+)= 15 V		5		ppm °C -	
	V(+)= 5 V		100		ppm °C	
Variación con V(+)	V(+)= 5 V		1	3	%/V	
Tensión de umbral	V(+)= 5 V	0,63	0,66	0,67	V(+)	
Tensión de disparo	V(+)= 5 V	0,29	0,33	0,33	V(+)	
Corriente de disparo	V(+)= 18 V		50	500	pA	
	V(+)= 5 V		10		pA	
	V(+)= 2 V		1		pA	
Corriente de umbral	V(+)= 18 V		50	500	pA	
	V(+)= 5 V		10		pA	
	V(+)= 2 V		1		pA	
Corriente de reset	V <sub>RESPT</sub> = MASA, V(+)= 18 V		100	500	pA	
	V(+)= 5 V		20		pA	
	V(+)= 2 V		2		pA	
Tensión de reset	V(+)= 18 V	0,4	0,7	1	V	
	V(+)= 2 V	0,4	0,7	1	V	
Tensión de control	V(+)= 5 V	0,62	0,66	0,69	V(+)	
Tensión de salida	Salida baja V(+)= 18 V I <sub>o</sub> = 3,2 mA		0,1	0,4	V	
	V(+)= 5 V I <sub>o</sub> = 3,2 mA		0,15	0,4	V	

CARACTERISTICAS ELECTRICAS					
Parámetro	Condiciones de prueba	Min.	Tip.	Máx.	Unidades
	Salida alta V(+)= 18 V I <sub>o</sub> = 2 mA	17,25	17,8		V
	V(+)= 5 V I <sub>o</sub> = 2 mA	4	4,5		V
Tensión de descarga	V(+)= 5 V I descarga = 3,2 mA		0,1	0,4	V
Tiempo de subida del pulso	R <sub>L</sub> = 10 MΩ, C <sub>L</sub> = 10 pF, V(+)= 5 V	35	40	75	ns
Tiempo de bajada	R <sub>L</sub> = 10 MΩ, C <sub>L</sub> = 10 pF, V(+)= 5 V	35	40	75	ns
Máxima frecuencia	Funcionamiento astable	500			KHz

## ICM 7555

Al igual que el circuito estándar bipolar 555, el ICM 7555 es un circuito creado para generar retardos de tiempo o frecuencias fundamentalmente. En general, las aplicaciones que se le pueden dar son las mismas, pero la principal ventaja es que se le pueden dar una corriente de alimentación con tecnología CMOS, por lo cual necesita el diseño de alimentación muy baja, lo que le hace ideal para el diseño de circuito de bajo consumo.

Una característica muy importante es la inexistencia de picos de corriente durante las transiciones de la salida, circunstancia que no permite utilizar los 555 bipolares en determinadas aplicaciones.

Otras características dignas de mención son:

- Corriente de alimentación muy baja.
- Alta corriente de salida (100 mA).
- Muy baja corriente en los terminales: disparo, umbral y reset.
- Compatible con TTL.
- Tensión de alimentación entre 2 y 18 V.
- Diseñado con tecnología CMOS de bajo consumo.
- Ciclo de trabajo ajustable.
- Protección contra descargas estáticas en sus terminales.
- Retardos de tiempo muy estables.

## Encapsulado

Este circuito se presenta en los tipos de encapsulados: el metálico tipo TO99 y el tipo DIL de 8 patillas, que a su vez puede ser del tipo plástico (PA), cerámico (CA), o de terminales cortos (SO) para aplicaciones profesionales.

## Valores límite de funcionamiento

Tensión de alimentación máxima: 18 V.  
Tensión de entrada: Disparo  $< +0.3$  V,  $\geq -0.3$  V.  
Tensión de control: Umbral y Reset  $< V(+)+0.3$  V,  $\geq -0.3$  V.  
Corriente de salida máxima:  $I_{OL} < 10$  mA.

Disipación máxima: 200 mW.

Temperatura de funcionamiento:

- Tipos comerciales:  $-20$  a  $+85$  °C.
  - Tipos militares:  $-55$  a  $+125$  °C.
- Temperatura de almacenamiento:  $-65$  a  $+150$  °C.  
Temperatura de soldadura (máx. 50 seg.):  $300$  °C.

## Recomendaciones de utilización

Debera tenerse en cuenta que este integrado está fabricado en la tecnología CMOS, siendo necesario adoptar las precauciones habituales cuando se trabaja con este tipo de circuitos.

Voltajes superiores  $0.3$  V a  $V(+)$  (positivo de alimentación), o menores de  $-0.3$  V a  $V(-)$  (negativo de alimentación) pueden destruir el integrado siendo recomendable alimentarlo en primer lugar, antes de aplicar ninguna otra señal.

Debido a las bajísimas corrientes que necesita el 7555 para su funcionamiento, se pueden y deben emplear componentes de alta impedancia para rebajar el consumo de corriente del montaje al máximo.

## Aplicaciones

En general, el circuito CMOS ICM 7555 pueden sustituir al circuito bipolar 555 en casi todas las aplicaciones.

Principalmente se utiliza en funcionamiento estable, monoestable y otros circuitos derivados de éstos, requiriendo un número mínimo de componentes externos.

El bajo consumo de este circuito lo hace idóneo para el diseño de circuitos alimentados por baterías.

El campo de aplicaciones se amplía, debido a la inexistencia de sobreimpulsos de corriente durante las transiciones de la salida, y permite utilizarlo en aplicaciones en las que esta circunstancia impedía el uso del tipo bipolar, pudiéndose disminuir o eliminar los condensadores de desacoplo de la alimentación.

Fabricantes

INTERSIL

MAXIM.



C555 TIMER - 555

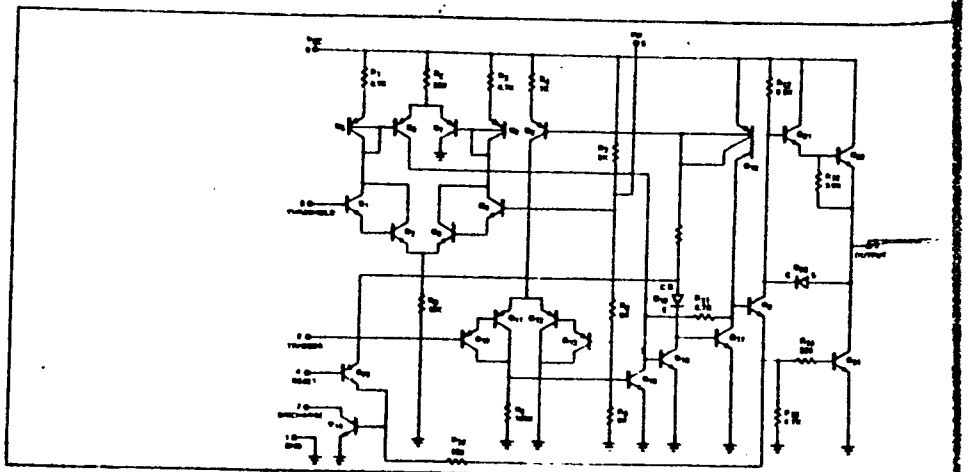
PARAMETER SYMBOLS:  $T_A = 25^\circ\text{C}$ ,  $V_{CC} = +5\text{V}$  to  $+15$  unless otherwise specified

PARAMETER	TEST CONDITIONS	SE 555			NE 555	
		MIN	TYP	MAX	MIN	TYP
Supply Voltage		4.5		18	4.5	
Supply Current	$V_{CC} = 5\text{V}$ $R_L = \infty$		3	5		7
	$V_{CC} = 15\text{V}$ $R_L = \infty$		10	12		10
Timing Error (Monostable)	Low State, Note 1					
Initial Accuracy	$R_A, R_B = 1\text{K}\Omega$ to $100\text{K}\Omega$		0.8	2		1
Drift with Temperature	$C = 0.1\ \mu\text{F}$ Note 2		30	100		50
Drift with Supply Voltage			0.05	0.2		0.1
Threshold Voltage			2/3			2/3
Trigger Voltage	$V_{CC} = 15\text{V}$	4.8	5	5.2		5
Timing Error (Astable)	$V_{CC} = 5\text{V}$	1.45	1.67	1.9		1.67
Trigger Current			0.5			0.5
Reset Voltage		0.4	0.7	1.0	0.4	0.7
Reset Current			0.1			0.1
Threshold Current	Note 3		0.1	0.25		0.1
Control Voltage Level	$V_{CC} = 15\text{V}$	9.6	10	10.4	9.0	10
	$V_{CC} = 5\text{V}$	7.9	3.33	3.8	2.6	3.33
Output Voltage (low)	$V_{CC} = 15\text{V}$					
	$I_{\text{SINK}} = 10\text{mA}$		0.1	0.15		0.1
	$I_{\text{SINK}} = 50\text{mA}$		0.4	0.5		0.4
	$I_{\text{SINK}} = 100\text{mA}$		2.0	2.2		2.0
	$I_{\text{SINK}} = 200\text{mA}$		2.5			2.5
	$V_{CC} = 5\text{V}$					
	$I_{\text{SINK}} = I_{\text{mA}}$		0.1	0.25		
	$I_{\text{SINK}} = 5\text{mA}$					0.25
Output Voltage Drop (low)	$I_{\text{SOURCE}} = 200\text{mA}$		12.5			12.5
	$V_{CC} = 15\text{V}$					
	$I_{\text{SOURCE}} = 100\text{mA}$					
	$V_{CC} = 15\text{V}$	13.0	13.3		12.75	13.3
	$V_{CC} = 5\text{V}$	3.0	3.3		2.75	3.3
Rise Time of Output			100			100
Fall Time of Output			100			100

NOTES

1. Supply Current when output high typically 1mA less.
2. Tested at  $V_{CC} = 5\text{V}$  and  $V_{CC} = 15\text{V}$
3. This will determine the maximum value of  $R_A + R_B$ . For 15V operation, the max total  $R = 20$  megohm.

EQUIVALENT CIRCUIT (Shown for One Side Only)



**LINEAR INTEGRATED CIRCUITS**

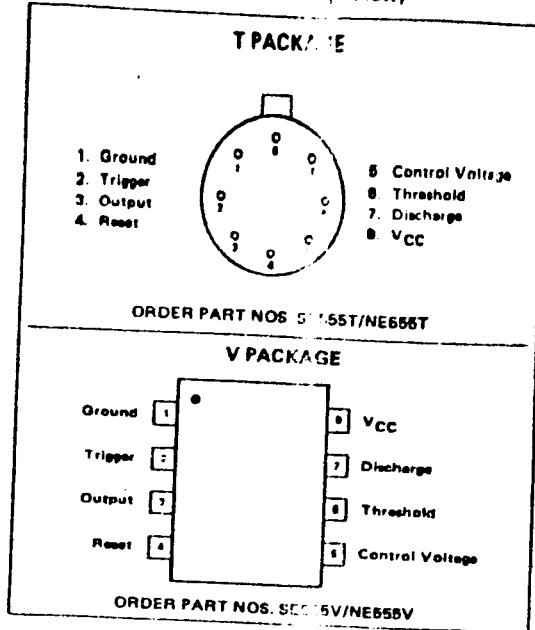
**DESCRIPTION**  
 The 555 monolithic timing circuit is a highly stable and accurate time delay or oscillator circuit capable of producing accurate time delays, or oscillations, of a wide range of frequencies. Additional terminals are provided for triggering and resetting (if desired). In the time delay mode of operation, the output pulse width is precisely controlled by one external resistor and one capacitor. For a stable operation as an oscillator, the free-running frequency and the duty cycle are both accurately controlled with two external resistors and one capacitor. The circuit may be triggered and reset on falling waveforms. The output structure can source or sink up to 200mA.

**FUNCTIONS**  
 FROM MICROSECONDS THROUGH HOURS  
 IN BOTH ASTABLE AND MONOSTABLE MODES  
 STABLE DUTY CYCLE  
 CURRENT OUTPUT CAN SOURCE OR SINK UP TO 200mA  
 OUTPUT CAN DRIVE TTL  
 TEMPERATURE STABILITY OF 0.005% PER °C  
 NORMALLY ON AND NORMALLY OFF OUTPUT

**APPLICATIONS**  
 ON-TIME DELAY  
 SQUARE WAVE GENERATION  
 PULSE GENERATION  
 PULSE WIDTH MODULATION  
 FREQUENCY MODULATION  
 PULSE DETECTOR

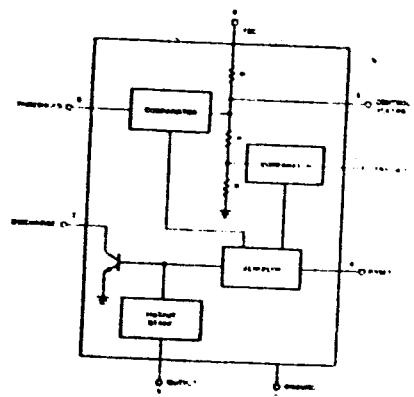
**SYMBOLIC DIAGRAM**

**PIN CONFIGURATIONS (Top View)**



**ABSOLUTE MAXIMUM RATINGS**

Supply Voltage	+18V
Power Dissipation	600 mW
Operating Temperature Range	NE555: 0°C to +70°C SE555: -55°C to +125°C
Storage Temperature Range	-65°C to +150°C
Lead Temperature (Soldering, 15" Irons)	+300°C



# TYPES 1N4148, 1N4149, 1N4446 THRU 1N4449 SILICON SWITCHING DIODES

BULLETIN NO. DL 8 739289, OCTOBER 1966—REVISED MARCH 1973

## FAST SWITCHING DIODES

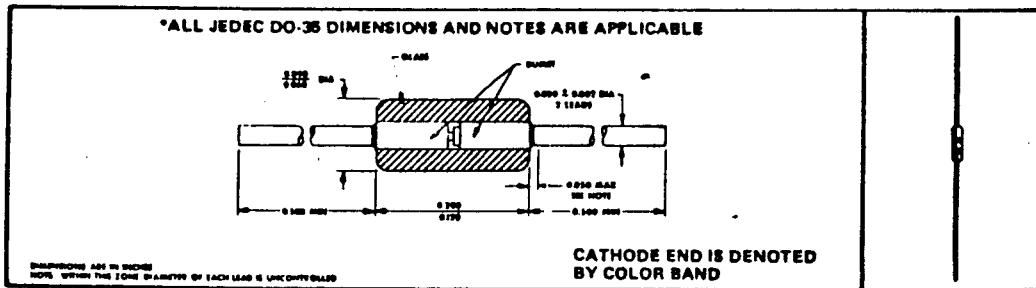
- Rugged Double-Plug Construction

Electrical Equivalents:

<del>1N4148</del>	1N914 ... 1N4531	1N4447 ... 1N916A
1N4149 ... 1N916		1N4448 ... 1N914B
1N4446 ... 1N914A		1N4449 ... 1N916B

### mechanical data

Double-plug construction affords integral positive contact by means of a thermal compression bond. Moisture-free stability is ensured through hermetic sealing. The coefficients of thermal expansion of the glass case and the dumet plugs are closely matched to allow extreme temperature excursions. Hot-solder-dipped leads are standard.



\*absolute maximum ratings at 25°C free-air temperature (unless otherwise noted)

$V_{RM}$	Working Peak Reverse Voltage . . . . .	75 V
$P$	Continuous Power Dissipation at (or below) 25°C Free-Air Temperature (See Note 1) . . . . .	500 mW
$T_{STG}$	Storage Temperature Range . . . . .	-65°C to 200°C
$T_L$	Lead Temperature 1/16 Inch from Case for 10 Seconds . . . . .	300°C

\*electrical characteristics at 25°C free-air temperature (unless otherwise noted)

PARAMETER	TEST CONDITIONS	1N4148	1N4149	1N4446	1N4447	1N4448	1N4449	UNIT		
		MIN MAX	MIN MAX	MIN MAX	MIN MAX	MIN MAX	MIN MAX			
$V_{(BR)}$ Reverse Breakdown Voltage	$I_R = 5 \mu A$	75	75	75	75	75	75	V		
	$I_R = 100 \mu A$	100	100	100	100	100	100	V		
$I_R$ Static Reverse Current	$V_R = 20 V$		25	25	25	25	25	mA		
	$V_R = 20 V, T_A = 100^\circ C$					3	3	$\mu A$		
	$V_R = 20 V, T_A = 150^\circ C$	50	50	50	50	50	50	$\mu A$		
$V_F$ Static Forward Voltage	$I_F = 5 mA$					0.62	0.72	0.63	0.73	V
	$I_F = 10 mA$		1	1					V	
	$I_F = 20 mA$				1	1			V	
	$I_F = 30 mA$							1	V	
$C_T$ Total Capacitance	$V_R = 0, f = 1 MHz$	4	2	4	2	4	2	pf		

NOTE 1: Derate linearly to 200°C at the rate of 2.05 mW/°C.

• JEDEC registered data

## TYPES 1N4148, 1N4149, 1N4446 THRU 1N4449 SILICON SWITCHING DIODES

switching characteristics at 25°C free-air temperature

PARAMETER	TEST CONDITIONS	1N4148	1N4149	1N4446	1N4447	1N4448	1N4449	UNIT
		MIN	MAX	MIN	MAX	MIN	MAX	
$t_{rr}$ Reverse Recovery Time	$I_F = 10 \text{ mA}$ , $V_R = 6 \text{ V}$ , $I_{rr} = 1 \text{ mA}$ , $R_L = 100 \Omega$ , See Figure 1		4	4	4	4	4	ns
$V_{FM(rec)}$ Forward Recovery Voltage	$I_F = 50 \text{ mA}$ , $R_L = 50 \Omega$ , See Figure 2					2.5	2.5	V

### \*PARAMETER MEASUREMENT INFORMATION

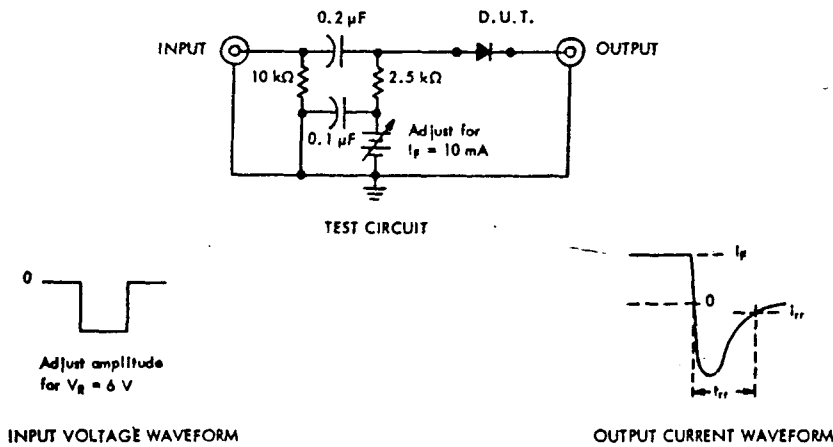


FIGURE 1 — REVERSE RECOVERY TIME

- NOTES: a. The input pulse is supplied by a generator with the following characteristics:  $Z_{out} = 50 \Omega$ ,  $t_r \leq 0.5 \text{ ns}$ ,  $t_p = 100 \text{ ns}$ .  
 b. The output waveform is monitored on an oscilloscope with the following characteristics:  $t_r \leq 0.6 \text{ ns}$ ,  $Z_{in} = 50 \Omega$ .

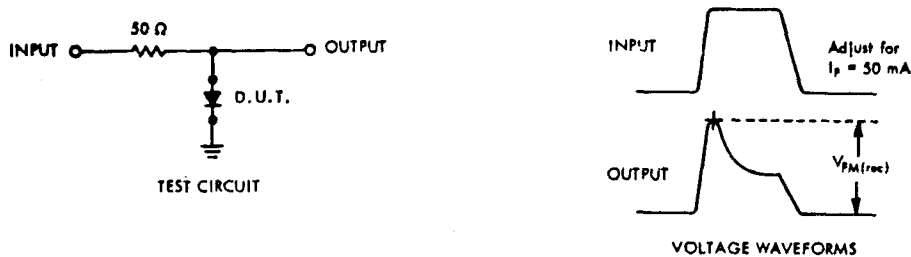


FIGURE 2 — FORWARD RECOVERY VOLTAGE

- NOTES: c. The input pulse is supplied by a generator with the following characteristics:  $Z_{out} = 50 \Omega$ ,  $t_r \leq 30 \text{ ns}$ ,  $t_p = 100 \text{ ns}$ ,  $PER = 5 \text{ to } 100 \text{ kHz}$ .  
 d. The output waveform is monitored on an oscilloscope with the following characteristics:  $t_r \leq 15 \text{ ns}$ ,  $R_{in} \geq 1 \text{ M}\Omega$ ,  $C_{in} \leq 5 \text{ pF}$ .

\*JEDEC registered data

10

PRINTED IN U.S.A.

TI cannot assume any responsibility for any circuits shown or represent that they are free from patent infringement.

INSTRUMENTS RESERVES THE RIGHT TO MAKE CHANGES AT ANY TIME TO IMPROVE DESIGN AND TO SUPPLY THE BEST PRODUCT POSSIBLE.

**TEXAS INSTRUMENTS**  
INCORPORATED  
POST OFFICE BOX 5012 • DALLAS, TEXAS 75222

10-35

CD4071BM/CD4071BC, CD4081BM/CD4081BC



**CD4071BM/CD4071BC Quad 2-Input OR Buffered B Series Gate**

**CD4081BM/CD4081BC Quad 2-Input AND Buffered B Series Gate**

**general description**

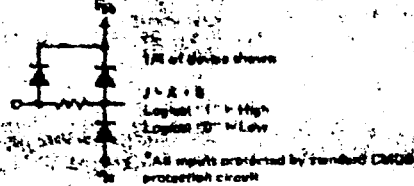
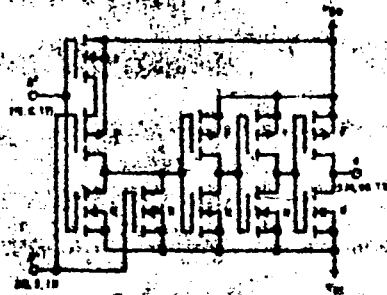
These Quad gates are monolithic complementary MOS (CMOS) integrated circuits constructed with N and P-channel enhancement mode transistors. They have equal source and sink current capabilities and conform to standard B series output drive. The devices also have buffered outputs which improve transfer characteristics by providing very high gain.

All inputs are protected against static discharge with diodes to  $V_{DD}$  and  $V_{SS}$ .

**features**

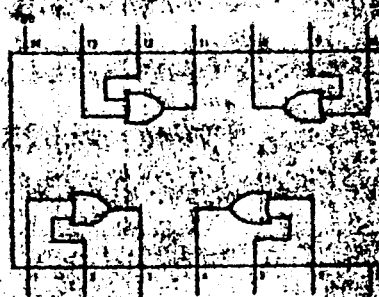
- Low power TTL compatibility, fan out of 2 driving 74L or 1 driving 74LS
- 5V-10V-18V parametric ratings
- Symmetrical output characteristics
- Maximum input package fault at 18V over full temperature range

**schematic and connection diagrams**

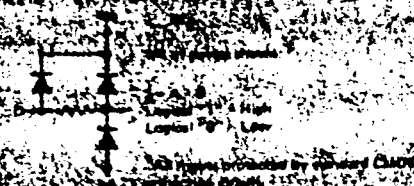
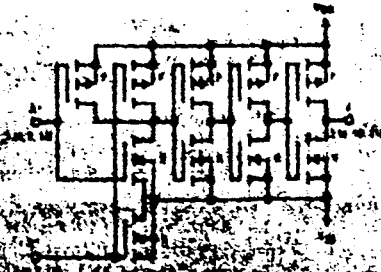


CD4071B

Quad 2-Input and First Package

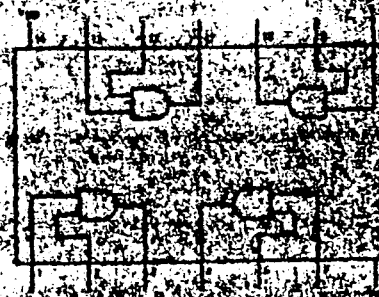


TOP VIEW



CD4081B

Quad 2-Input and First Package



TOP VIEW

Absolute maximum ratings (Notes 1 and 2)

operating conditions

Voltage at Any Pin -0.5V to V<sub>DD</sub> + 0.5V  
 Package Dissipation 500 mW  
 V<sub>DD</sub> Range -0.5 V<sub>DC</sub> to +18 V<sub>DC</sub>  
 Storage Temperature -65°C to +185°C  
 Lead Temperature (Soldering, 10 seconds) 300°C

Operating V<sub>DD</sub> Range 3 V<sub>DC</sub> to 18 V<sub>DC</sub>  
 Operating Temperature Range  
 CD4071BM, CD4061BM -55°C to +125°C  
 CD4071BC, CD4061BC -40°C to +85°C



dc electrical characteristics CD4071BM, CD4061BM (Note 2)

PARAMETER	CONDITIONS	-55°C		+25°C		+125°C		UNITS	
		MIN	MAX	MIN	TYP	MAX	MIN		MAX
I <sub>DD</sub> Quiescent Device Current	V <sub>DD</sub> = 5V		0.25		0.004	0.25		7.8	μA
	V <sub>DD</sub> = 10V		0.60		0.006	0.60		15	μA
	V <sub>DD</sub> = 15V		1.0		0.008	1.0		30	μA
V <sub>OL</sub> Low Level Output Voltage	V <sub>DD</sub> = 5V		0.05		0	0.05		0.05	V
	V <sub>DD</sub> = 10V	I <sub>OL</sub> < 1mA	0.05		0	0.05		0.05	V
	V <sub>DD</sub> = 15V		0.05		0	0.05		0.05	V
V <sub>OH</sub> High Level Output Voltage	V <sub>DD</sub> = 5V	I <sub>OL</sub> < 1mA	4.95		4.95	5		4.95	V
	V <sub>DD</sub> = 10V		9.95		9.95	10		9.95	V
	V <sub>DD</sub> = 15V		14.95		14.95	15		14.95	V
V <sub>IL</sub> Low Level Input Voltage	V <sub>DD</sub> = 5V, V <sub>O</sub> = 0.5V		1.5		2	1.5		1.5	V
	V <sub>DD</sub> = 10V, V <sub>O</sub> = 1.0V		3.0		4	3.0		3.0	V
	V <sub>DD</sub> = 15V, V <sub>O</sub> = 1.5V		4.0		5	4.0		4.0	V
V <sub>IH</sub> High Level Input Voltage	V <sub>DD</sub> = 5V, V <sub>O</sub> = 4.5V		3.5		3.5	3		3.5	V
	V <sub>DD</sub> = 10V, V <sub>O</sub> = 9.0V		7.0		7.0	8		7.0	V
	V <sub>DD</sub> = 15V, V <sub>O</sub> = 13.5V		11.0		11.0	9		11.0	V
I <sub>OL</sub> Low Level Output Current	V <sub>DD</sub> = 5V, V <sub>O</sub> = 0.4V		0.84		0.51	0.88		0.38	mA
	V <sub>DD</sub> = 10V, V <sub>O</sub> = 0.5V		1.6		1.3	2.26		0.9	mA
	V <sub>DD</sub> = 15V, V <sub>O</sub> = 1.5V		4.2		3.4	8.8		2.4	mA
I <sub>OH</sub> High Level Output Current	V <sub>DD</sub> = 5V, V <sub>O</sub> = 4.5V		-0.84		-0.51	-0.88		-0.26	mA
	V <sub>DD</sub> = 10V, V <sub>O</sub> = 9.0V		-1.6		-1.3	-2.25		-0.9	mA
	V <sub>DD</sub> = 15V, V <sub>O</sub> = 13.5V		-4.2		-3.4	-8.8		-2.4	mA
I <sub>IN</sub> Input Current	V <sub>DD</sub> = 15V, V <sub>IN</sub> = 0V		-0.10		-10 <sup>-5</sup>	-0.10		-1.0	μA
	V <sub>DD</sub> = 15V, V <sub>IN</sub> = 15V		0.10		10 <sup>-5</sup>	0.10		1.0	μA

Note 1: "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. Except for "Operating Temperature Range" they are not meant to imply that the devices should be operated at these limits. The table of "Electrical Characteristics" provides conditions for actual device operation.

Note 2: All voltages measured with respect to V<sub>DD</sub> unless otherwise specified.